МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ УКРАИНЫ

НАЦИОНАЛЬНЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
«ХАРЬКОВСКИЙ ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ»

**Е.И. Сокол, В.Д. Яндоло, Ю.Д. Сакара,
А.В. Кипенский, О.А. Бутова, Е.И. Король**

ЭЛЕКТРОНИКА И МИКРОСХЕМОТЕХНИКА

Лабораторный практикум

Часть 2. Цифровая схемотехника

Харьков 2008

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ УКРАИНЫ

НАЦИОНАЛЬНЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
«ХАРЬКОВСКИЙ ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ»

Е.И. Сокол, В.Д. Яндоло, Ю.Д. Сакара,
А.В. Кипенский, О.А. Бутова, Е.И. Король

ЭЛЕКТРОНИКА И МИКРОСХЕМОТЕХНИКА

Лабораторный практикум

Часть 2. Цифровая схемотехника

Утверждено
редакционно-издательским
советом университета,
протокол № 3 от 21.12.2007 г.

Харьков НТУ «ХПИ» 2008

УДК 621.382
Э45
ББК 31.264.5

Рецензенты: Лупиков В.С., д-р техн. наук, проф., заведующий кафедрой «Электрические аппараты» НТУ «ХПИ»
Чурюмов Г.И., д-р физ.-мат. наук, профессор кафедры физических основ электронной техники ХНУРЭ

Авторы: Е.И. Сокол, В.Д. Яндоло, Ю.Д. Сакара, А.В. Кипенский, О.А. Бутова, Е.И. Король

У посібнику наведені стислі відомості щодо теорії, принципу дії та розрахунків цифрових пристроїв, які реалізовані на інтегральних мікросхемах. Надані методичні рекомендації для виконання шістьох лабораторних робіт на універсальному стенді, що розроблений на кафедрі «Промислова і біомедична електроніка» НТУ «ХПІ».

Посібник орієнтований на студентів, що вивчають електроніку та мікросхемотехніку.

Э45 **Электроника и микросхемотехника**: Лабораторный практикум. Часть 2. Цифровая схемотехника / Сокол Е.И., Яндоло В.Д. и др. – Харьков, НТУ «ХПИ», 2008, – 76 с. – Русск.яз.

В пособии приведены краткие сведения по теории, принципу действия и расчету цифровых устройств, реализованных на интегральных микросхемах. Даны методические рекомендации для выполнения шести лабораторных работ на универсальном стенде, разработанном на кафедре «Промышленная и биомедицинская электроника» НТУ «ХПИ».

Пособие ориентировано на студентов, изучающих электронику и микросхемотехнику.

Ил. 30 . Табл. 13 . Библиогр. 13 назв.

ББК 31.264.5

© Кол. авторов, 2008 г.

ВВЕДЕНИЕ

В настоящее время при проектировании различной аппаратуры и ее промышленном изготовлении все чаще применяются новые электронные и микроэлектронные компоненты. Это открывает широкие перспективы для значительного повышения надежности и улучшения качественных показателей электронных устройств.

В связи с важностью поставленных задач следует рассматривать и значительное расширение круга вопросов в общих учебных дисциплинах по электронике, связанных, в первую очередь, с аналоговой и цифровой микросхемотехникой.

Для большинства электрических и неэлектрических специальностей дисциплину «Электроника и микросхемотехника» можно скорее отнести к общеинженерным, чем к специальным дисциплинам. Из этого следует, что главная цель курса – не столько научить студента разрабатывать те или иные функционально законченные электронные устройства, сколько научить его понимать принцип действия этих устройств, уметь грамотно эксплуатировать их и формулировать задание на разработку нового изделия.

Большое значение придается в учебном процессе практическим занятиям и лабораторному практикуму. Решение лабораторных задач прививает навыки использования теоретических знаний на практике, развивает мышление, помогает детальнее осознать принцип действия отдельных устройств и возможности их практического применения.

Настоящий практикум ориентирован на проведение лабораторных занятий фронтальным методом на универсальном лабораторном стенде, разработанным на кафедре «Промышленная и биомедицинская электроника» НТУ «ХПИ». Основными преимуществами фронтального метода проведения лабораторных работ на универсальном стенде являются следующие:

- возможность планирования выполнения студентами той или иной работы после прочтения соответствующего лекционного материала, что яв-

ляется методологически важной стороной в проведении лабораторного практикума;

- сокращается время для подготовки к проведению очередной работы, так как студенты ознакомлены со всеми органами управления и измерительными приборами уже после первого занятия;
- упрощается выполнение работ и обслуживание стенда за счет применения совмещенных органов управления.

Лабораторный практикум по дисциплине «Электроника и микросхемотехника» представлен 14 лабораторными работами. Вторая часть практикума содержит лабораторные работы № 9 – 12 по цифровой схемотехнике и лабораторные работы № 13 – 14 по микропроцессорной технике.

Каждая работа имеет подраздел «Основные положения», который содержит материалы, помогающие изучить принципы работы исследуемых электронных устройств, а также может быть использован для усвоения разделов лекций соответствующих дисциплин.

Каждой лабораторной работе должна предшествовать самостоятельная подготовка студентов, в процессе которой необходимо ознакомиться с описанием лабораторной работы, рекомендованными литературными источниками и выполнить предварительное домашнее задание. В процессе подготовки к лабораторной работе рекомендуется изучить схемы эксперимента, а также вычертить таблицы, необходимые для выполнения экспериментальных исследований.

В некоторых работах предварительное домашнее задание предусматривает составление рабочих схем для проведения эксперимента, что отражено в пунктах подраздела «Порядок выполнения работы». Обработка результатов эксперимента может быть произведена на основании рекомендаций и формул, приведенных в подразделах «Основные положения».

Перед началом лабораторных занятий студенты должны ознакомиться с описанием универсального лабораторного стенда и подготовкой его к работе. Учитывая фронтальный метод проведения работ, на первом занятии в учебной группе предполагается контрольная проверка на знание органов управления стенда.

Требования по регламенту выполнения предлагаемых экспериментов, а также к оформлению отчетов по лабораторным работам определяет преподаватель, ведущий занятия и СТВУЗ-ХПИ-3.01-2006.

ОПИСАНИЕ ЛАБОРАТОРНОГО СТЕНДА

Лабораторная установка содержит универсальный лабораторный стенд, двухканальный осциллограф С1-93 и цифровой вольтметр Щ4313.

Универсальный лабораторный стенд выполнен в виде настольного переносного прибора. В верхней части стенда размещена панель управле-

ния, а в нижней части панель с контрольными гнездами. Один стенд позволяет выполнять все 14 лабораторных работ.

Особенностью стенда является наличие совмещенных органов управления (источники входных сигналов, переключатели и ручки регулировок), которые используются независимо в нескольких работах. Это упрощает конструкцию стенда и облегчает проведение экспериментов. В приложении А приведен внешний вид панели управления лабораторного стенда.

Панель управления содержит:

- переключатель «Номер работы» со световой индикацией;
- переключатель «кГц (α)» на десять положений;
- переключатель с кнопками «S1-S5» и световой индикацией;
- переключатель с кнопками разрядов «P7-P0», «A1-A0» и световой индикацией;
- переключатель с кнопками команд для работ 9-14;
- кнопки «Коммутатор» для подключения входов осциллографа и коммутатора к измерительным гнездам;
- измерительные гнезда «Y1(1)», «Y2», «Y3(II)», «Y4» для подключения входов коммутатора и гнездо «V» для подключения входа цифрового вольтметра;
- органы управления коммутатором: ручка «Y2» – регулирует отклонение по вертикали луча канала Y2, ручка «Y3» – регулирует отклонение по вертикали луча канала Y3, ручка «Y4» – регулирует отклонение по вертикали луча канала Y4.

Переключатель «S1-S5» производит коммутацию электронных ключей в исследуемых схемах при нажатии соответствующих кнопок. Это приводит к изменению параметров схем и их характеристик.

В составе стенда имеется коммутатор-приставка к осциллографу, что расширяет его функциональные возможности. Во-первых, появляется возможность наблюдать на экране *одновременно четыре сигнала* в контрольных точках исследуемой схемы. Во-вторых, коммутатор позволяет получить на экране *одновременно отображение оси времени исследуемых сигналов.* Это повышает наглядность и исключает ошибки при снятии диаграмм. На экране ось времени представлена горизонтальным участком линии в правой части диаграммы.

Для упрощения работы на стенде и повышения его надежности общие шины измерительных приборов и исследуемых схем соединены внутри стенда. Поэтому при измерениях следует пользоваться только соединительными проводниками, подключаемыми между измерительными гнездами и соответствующими контрольными гнездами схем.

Панель с контрольными гнездами имеет наборное поле, на котором определенным образом расположены группы гнезд. К этим гнездам под-

ключены контрольные точки исследуемых электрических схем лабораторных работ. С правой стороны панели расположена кнопка «Сеть» с индикацией и пять ручек управления стендом:

- ручки «E1» и «E2» источников сигналов постоянного тока с диапазоном регулировки ±7 В;
- ручка «$E_Г$» источника сигналов синусоидальной формы с диапазоном регулировки 0-7 В;
- переключатель «кГц (α)»;
- ручка «U_{BX}» регулировки источника сигналов постоянного тока;
- ручка «R_H» регулировки сопротивления нагрузки в электрических схемах работ.

Лабораторные работы снабжены сменными накладными панелями, на которых изображены исследуемые элементы и электрические схемы с указанием контрольных точек. Накладная панель крепится на панели с контрольными гнездами. Фиксатор состоит из прижимной планки и винта. На накладной панели в местах контрольных точек схем имеются отверстия, под которыми расположены контрольные гнезда для данной лабораторной работы. Эти отверстия пронумерованы и используются для подключения к гнездам измерительных приборов.

На левой боковой стенке нижнего кожуха стенда установлены гнезда «I» и «II» для подключения входов осциллографа С1-93, гнездо «V» для подключения цифрового вольтметра. Гнезда «СИНХР.» и «⎍» служат для подключения входа внешней синхронизации и выхода генератора развертки осциллографа.

ПОДГОТОВКА СТЕНДА К РАБОТЕ

Перед началом работы все органы управления устанавливают в начальные положения: все кнопки стенда должны находиться в исходном отжатом состоянии, ручки регулировки – в крайнем левом положении.

Осциллограф С1-93 устанавливается слева от стенда. Далее следует подключить сигнальные входы осциллографа к гнездам «I» и «II», а вход цифрового вольтметра – к гнездам «V» стенда. Необходимо обратить внимание на правильное подключение приборных входов «⊥» к общей шине стенда, относительно которой производятся все измерения.

С помощью соединительных проводников подключить вход внешней синхронизации и выход «⎍» генератора развертки осциллографа к соответствующим гнездам на боковой стенке стенда.

Установить на панели контрольных гнезд накладную панель исследуемой лабораторной работы. Для этого накладную панель устанавливают на направляющих выступах и закрепляют двумя фиксаторами.

Нажать соответствующую кнопку на переключателе «Номер работы» (кнопки некоторых работ совмещены). Включить измерительные приборы и стенд нажатием кнопки «Сеть».

Примечание:

1. Все лабораторные работы можно исследовать с помощью двух каналов осциллографа С1-93. Для этого следует отжать кнопки коммутатора и пользоваться гнездами Y1(1) и Y3(11) на панели управления, к которым подключены входы осциллографа.
2. Коммутатор используется для наблюдения 3-4 процессов одновременно. Для этого следует нажать кнопки «Вкл.» и «Y1-Y4» и пользоваться гнездами входов Y1-Y4, а также ручками «Y2», «Y3» и «Y4» на панели управления. При включении коммутатора на входе осциллографа его коэффициент усиления (чувствительность) *уменьшается в отношении* 10:1.
3. При нажатии только кнопки «Вкл.» коммутатора можно наблюдать два процесса одновременно, используя гнезда Y1(1) и Y3(1) и канал 1 осциллографа.
4. При использовании коммутатора по п. 2 и п. 3 необходимо на осциллограммах иметь отображение оси времени. Для этого следует воспользоваться ручкой «↔» осциллографа перемещения луча по горизонтали и установить на экране определенный участок нулевой оси временных диаграмм.
5. При всех измерениях с помощью коммутатора необходимо иметь в виду, что сигнал внешней синхронизации подается на осциллограф только со входа Y1(1), который следует использовать как приоритетный при составлении диаграмм нескольких сигналов исследуемой схемы на экране осциллографа.
6. При установке входных сигналов постоянного тока следует помнить, что ручки «Е1» и «Е2» в крайнем левом положении соответствуют максимальному отрицательному напряжению входного сигнала.

ЛАБОРАТОРНАЯ РАБОТА 9

ЛОГИЧЕСКИЕ СХЕМЫ НА ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ

Цель работы – изучение базового логического элемента ТТЛ и определение его характеристик; исследование отдельных логических элементов и реализация комбинационных схем на их основе.

9.1. Основные положения

Логические комбинационные схемы предназначены для реализации двоичных логических функций вида

$$y = f(x_1, x_2, ..., x_n),$$

где x_1, x_2 ,…, x_n – значения входных переменных, равных логической единице или логическому нулю.

Совокупность значений переменных x_1, x_2 ,…, x_n, принимающих в определенный момент времени значения 0 или 1, называют *набором.* Задание двоичной функции означают, что каждому из возможных наборов переменных поставлено в соответствие ее значение y (0 или 1).

Особенностью комбинационных схем является то, что сигнал на выходе устройства появляется одновременно с определенным значением набора входных переменных, т.е. однозначно определяется состоянием входа устройства в данный момент.

Любая логическая функция может быть представлена в алгебраической форме, а также в виде *таблицы истинности*. В данной таблице выписываются все возможные наборы переменных в порядке возрастания их номеров, и для каждого набора устанавливается значение функции. Число наборов равно $2n$, где n – число переменных.

9.1.1. Логические элементы

Логические элементы предназначены для выполнения простейших логических операций. Преобразования двоичных сигналов включают три элементарные операции И, ИЛИ, НЕ.

Операция И (логическое умножение, конъюнкция) имеет вид $y = x_1x_2 \ldots x_n$.

Операция ИЛИ (логическое сложение, дизъюнкция) имеет вид $y = x_1 + x_2 + \ldots x_n$.

Операция НЕ (инверсия) имеет вид $y = \bar{x}$, т.е. инвертирует входной сигнал.

Логические элементы, реализующие эти операции, называются соот-

ветственно элементами И, ИЛИ, НЕ. Условное обозначение этих элементов приведено на рис. 9.1. Выходной сигнал элемента И (рис. 9.1, *а*) равен 1, если одновременно на всех *n* входах имеются сигналы 1. Выходной сигнал элемента ИЛИ (рис. 9.1, *б*) равен 1, если хотя бы на одном из входов имеется 1. Элемент НЕ (рис. 9.1, *в*) называют также инвертором.

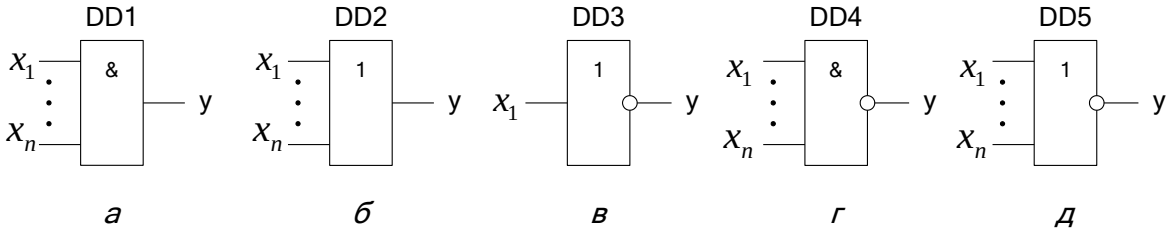


Рисунок 9.1 – Логические элементы

Элементы И, ИЛИ, НЕ образуют основной функционально полный набор логических элементов, с помощью которого можно реализовать любую логическую функцию.

Помимо рассмотренных логических элементов на практике широко применяют два универсальных логических элемента И-НЕ и ИЛИ-НЕ. Доказано, что, имея в наличии только элементы одного из этих типов, можно также реализовать логическую функцию любой сложности.

Элемент И-НЕ выполняет функцию отрицания логического произведения входных переменных $y = \overline{x_1 x_2 \ldots x_n}$ и имеет условное обозначение, приведенное на рис. 9.1, *г*. Элемент ИЛИ-НЕ выполняет функцию отрицания логического сложения $y = \overline{x_1 + x_2 + \ldots + x_n}$ и имеет условное обозначение, приведенное на рис. 9.1, *д*.

Применяемые в настоящее время логические элементы выпускаются в виде интегральных микросхем, которые образуют серии. Серия объединяет ряд отдельных функциональных схем по их технологическому признаку, согласованности по логическим уровням, конструкции и т.д. Каждая серия микросхем строится на основе базового логического элемента, который определяет тип серии. Например, серии из элементов транзисторно-транзисторной логики (ТТЛ), со структурой металл–диэлектрик–плдупроводник (МДП-логика) и т.д.

Перечислим основные параметры логических элементов:

- уровни выходного напряжения $U^1_{\text{вых}}$ и $U^0_{\text{вых}}$, соответствующие логическим уровням 1 и 0;
- пороговые напряжения $U^1_{\text{пор}}$ и $U^0_{\text{пор}}$, при которых происходит переход из одного устойчивого состояния в другое;

- входные токи $I^1_{вх}$ и $I^0_{вх}$;
- потребляемая мощность $P_{пот}$ и средний потребляемый ток $I_{пот}$, равный полусумме токов, потребляемой схемой в двух состояниях;
- помехоустойчивость $U_п$ – наибольшее значение помехи на выходе элемента, не приводящей к изменению его состояния;
- быстродействие, характеризуемое временем перехода элемента $t^{1,0}$ из состояния 1 в 0 и $t^{0,1}$ – из состояния 0 в 1.
- коэффициент объединения по входу M – максимальное число входов логического элемента;
- коэффициент разветвления по выходу N характеризует нагрузочную способность элемента и равен максимальному числу элементов, которые можно подключить к выходу данного элемента.

Статические параметры логических элементов можно определить с помощью входных характеристик $I_{вх} = f(U_{вх})$ и передаточных характеристик $U_{вых} = f(U_{вх})$.

9.1.2. Базовый логический элемент ТТЛ

Базовым логическим элементом ТТЛ серии К155 является элемент И-НЕ, схема которого приведена на рис. 9.2.

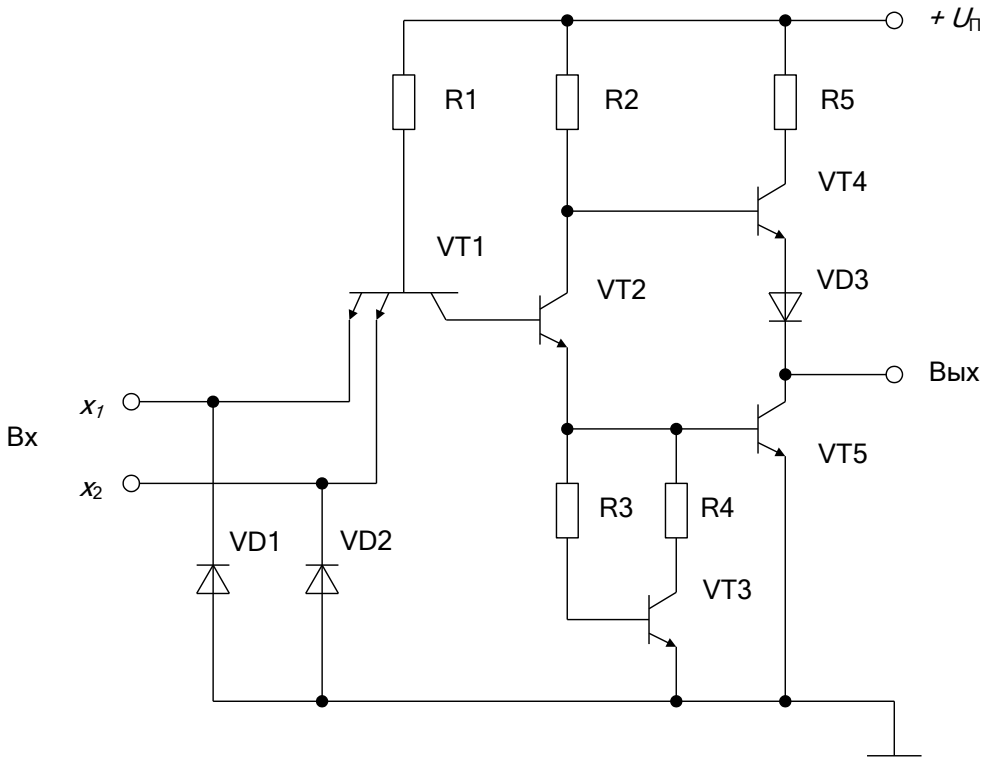


Рисунок 9.2 – Схема базового элемента И-НЕ

Схема состоит из трех каскадов: входного на многоэмиттерном транзисторе VT1, реализующего функцию И; фазораспределяющего (VT2, VT3) и выходного каскада (VT4, VT5). Ко всем входам входного каскада подключены демпфирующие диоды VD1, VD2, служащие для ограничения импульсов помехи отрицательной полярности. В базу VT5 включена корректирующая цепочка R3, R4 и VT3, которая позволяет получить передаточную характеристику, близкую по форме к прямоугольной, и тем самым повысить помехозащищенность при помехах положительной полярности.

Транзисторы выходного каскада VT4 и VT5 работают поочередно, создавая низкоомную выходную цепь, что обеспечивает высокую нагрузочную способность, а также хорошие импульсные свойства элемента при большой емкостной нагрузке. Наличие диода VD3 обеспечивает смещение напряжения отпирания транзистора VT4 и надежное его запирание.

Принцип работы элемента И-НЕ рекомендуется поясняет его передаточная характеристика, приведенная на рис. 9.3.

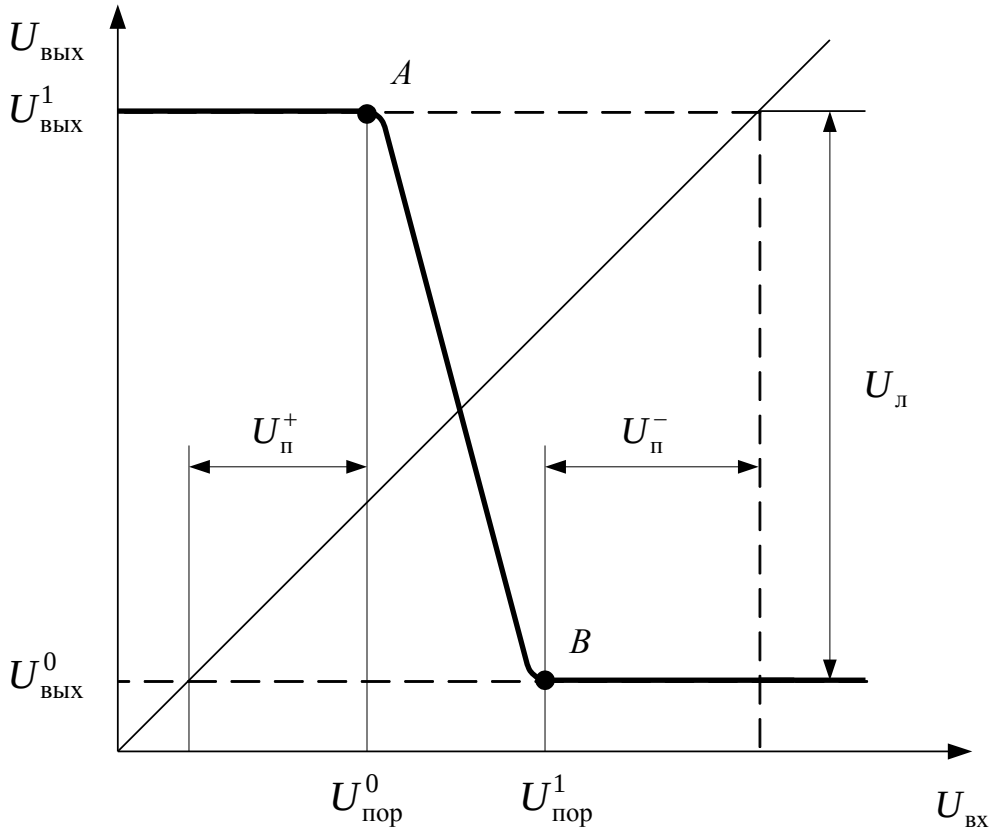


Рисунок 9.3 – Передаточная характеристика элемента И-НЕ

При последовательном включении логических элементов И-НЕ один из них будет служить нагрузкой для другого. Так как выход одного элемента является входом другого, то уровни 0 и 1 на их выходах будут взаимно

меняться при переключении. Поэтому передаточная характеристика располагается симметрично относительно прямой под углом 45^0. Точки *A* и *B* – пороги зоны переключения. Входные напряжения, соответствующие порогам переключения, называют пороговыми напряжениями $U^1_{\text{пор}}$ и $U^0_{\text{пор}}$.

При $U_{\text{вх}} = 0$ переход база-эмиттер транзистора VT1 открыт. Однако напряжение $U_{\text{б1}} = 0{,}8$ В не может открыть три последовательно включенных p-n перехода: база-коллектор транзистора VT1, база-эмиттер транзисторов VT2 и VT5. Для открывания этой цепи необходимо напряжение примерно 3 × 0,6 = 1,8 В. Напряжение на базе транзистора VT5 близко к нулю и транзистор VT5 закрыт, на коллекторе закрытого транзистора VT2 и на базе VT4 – к напряжению источника питания +5 В. Поэтому транзистор VT4 будет открыт и на выходе устанавливается напряжение $U^1_{\text{вых}}$.

При увеличении $U_{\text{вх}}$ до значения порогового напряжения $U^0_{\text{пор}}$, (точка А) транзистор VT2 начинает открываться, однако VT5 еще закрыт. При дальнейшем увеличении $U_{\text{вх}}$ (участок АВ) открываются транзисторы VT2 и VT5. Однако некоторое время транзистор VT5 уже открыт, а VT4 еще не закрыт, что приводит к броску тока и увеличению мощности, потребляемой от источника питания. Для ограничения этого тока включен резистор R5. При дальнейшем увеличении $U_{\text{вх}}$ транзисторы VT2 и VT5 переходят в режим насыщения. Разность потенциалов между коллекторами VT2 и VT5, равная 0,9 В, является недостаточной, чтобы открыть переходы база-эмитттер VT4 и диода VD3. В результате этого транзистор VT4 будет закрыт и на выходе устанавливается напряжение $U^0_{\text{вых}}$.

С помощью передаточной характеристики можно определить статическую помехоустойчивость по низкому уровню входного сигнала $U^+_{\text{п}} = U^0_{\text{пор}} - U^0_{\text{вых}}$ и по высокому уровню $U^-_{\text{п}} = U^1_{\text{пор}} - U^1_{\text{вых}}$ (рис. 9.2). Если величины положительной помехи будет превышать $U^+_{\text{п}}$ или отрицательная помеха $U^-_{\text{п}}$, то на выходе появится смена уровней, т.е. появится ложный сигнал. Чем ближе передаточная характеристика к прямоугольной, тем выше помехоустойчивость логического элемента.

9.1.3. Реализация логической функции в заданном базисе

В общем случае любая логическая функция представляет собой совокупность конъюнкций и дизъюнкций входных переменных, представленных в прямом или инверсном виде. В п. 9.1.1 было отмечено, что любая функция может быть реализована с помощью основного функционального набора из элементов И, ИЛИ и НЕ. Однако такую же задачу могут выполнить

и элементы И-НЕ и ИЛИ-НЕ. При этом логическую функцию следует определенным образом предварительно преобразовать.

В состав лабораторного стенда входит набор логических элементов И-НЕ. Поэтому рассмотрим реализацию логической функции для данного случая на конкретном примере.

Пусть задана функция

$$y = x_1 + \overline{x_2} x_3 \qquad (9.1)$$

Данная функция может быть реализована на трех элементах И, ИЛИ и НЕ. Для реализации заданной функции только на элементах И-НЕ ее следует представить в базисе И-НЕ таким образом, чтобы в исходном выражении не было дизъюнкции (ИЛИ).

Представление функции в базисе И-НЕ выполняют в соответствии со следующим правилом. Необходимо взять двойную инверсию заданной функции и преобразовать ее по теореме де Моргана $\overline{A+B} = \overline{A} \cdot \overline{B}$ (инверсия суммы равна произведению инверсий). В данном примере имеем слагаемые $A = x_1$ и $B = \overline{x_2} x_3$. Тогда можем записать

$$y = \overline{\overline{y}} = \overline{\overline{x_1 + \overline{x_2} x_3}} = \overline{\overline{x_1} \left(\overline{\overline{x_2} x_3} \right)} \qquad (9.2)$$

Для реализации данной функции необходимо иметь два инвертора и два элемента И-НЕ. Учитывая аксиому $x \cdot x = x$, в качестве инвертора можно использовать элемент И-НЕ, объединив предварительно его входы. В результате получаем функцию, реализованную в базисе И-НЕ, схема которой представлена на рис. 9.4.

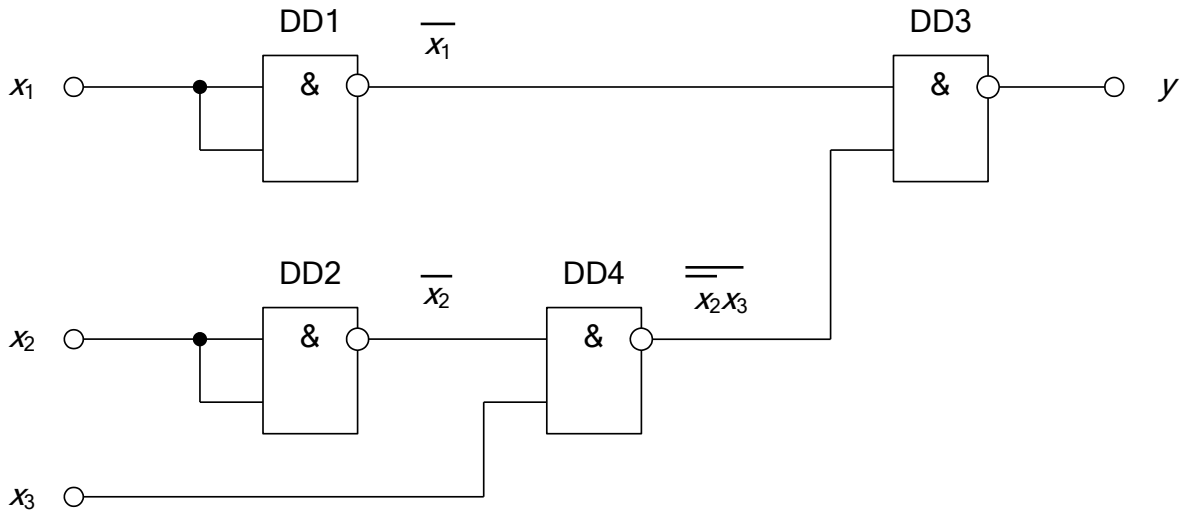


Рисунок 9.4 – Реализация функции в базисе И-НЕ

9.2. Описание схем эксперимента

На рис. 9.5 приведено поле управления и поле логических элементов. На поле управления слева расположен генератор Г входных переменных X_1, X_2 и X_3 и их инверсных значений $\overline{X_1}$, $\overline{X_2}$ и $\overline{X_3}$. При нажатии кнопки «СБР» устанавливается значения «0» для всех переменных. При нажатии кнопки «ПУСК» происходит поочередная смена набора входных переменных, индикация которых осуществляется с помощью светодиодов «X_3, X_2, X_1», которые на рис. 9.5 не показаны. Кроме того, в поле управления входят гнездо «у» со светодиодной индикацией для фиксации состояния выхода микросхем, а также гнезда «1» «0» для подачи логических уровней на ходы микросхем. Источник «U_{BX}» служит для снятия передаточной характеристики элемента.

Поле логических элементов И-НЕ реализовано на микросхемах ТТЛ (серия К155). Элемент DD1 используется для исследования передаточной характеристики, Элементы DD2-DD6 используются для реализации простейших комбинационных схем.

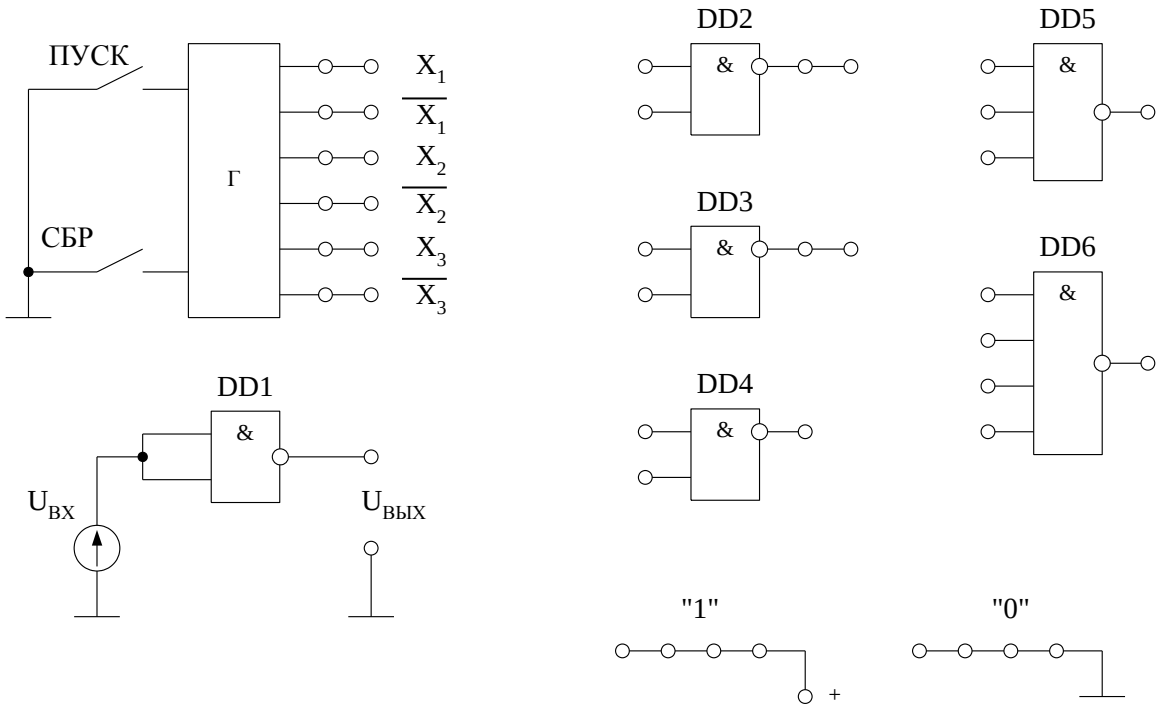


Рисунок 9.5 – Схемы логических элементов

Сборка схем производится с помощью соединительных проводников. Вместо инвертирования входных сигналов X_1, X_2 и X_3 можно использовать соответствующие инверсные входы генератора сигналов: $\overline{X_1}$, $\overline{X_2}$ и $\overline{X_3}$.

9.3. Порядок выполнения работы

9.3.1. Исследование логического элемента И-НЕ

9.3.1.1. Исследовать передаточную характеристику $U_{вых} = f(U_{вх})$ элемента 2И-НЕ (DD1), устанавливая входной сигнал ручкой «$U_{ВХ}$». При измерениях зафиксировать 2-3 значения выходного напряжения при переходе от U^1 до U^0.

9.3.1.2. Исследовать работу элемента 3И-НЕ (DD5) в соответствии с таблицей истинности. С помощью соединительных проводников подключить на входы элемента выходы X_1, X_2 и X_3 генератора Г, а к его выходу подключить гнездо «у». Нажать кнопку «СБР», установив исходное значение переменных. Затем, нажимая кнопку «ПУСК», фиксировать по индикаторам значения входных переменных и выхода элемента (свечение индикатора означает уровень 1).

9.3.2. Реализация логических функций в базисе И-НЕ

9.3.2.1. Составить таблицу истинности и реализовать одну из логических функций трех переменных по указанию преподавателя:

1. $y = X_1X_3 + \overline{X_2}\,\overline{X_3}$,
2. $y = X_2 + X_1\overline{X_2} + X_1X_3$,
3. $y = \overline{X_1} + X_1\overline{X_2} + X_1X_3$,
4. $y = X_1\overline{X_3} + \overline{X_1}X_2$,
5. $y = X_1\overline{X_2} + \overline{X_1}X_2X_3$,
6. $y = \overline{X_1}X_3 + X_1X_2$,
7. $y = \overline{X_2} + X_1X_2\overline{X_3}$,
8. $y = X_1X_2\overline{X_3} + X_2X_3$.

На основании перебора всех значений переменных составляется таблица истинности для заданной функции. Перебор начинают со значения 000 набора переменных X_1, X_2 и X_3 и заканчивают значением 111. Значения функции *y* заносятся в табл. 9.1.

Таблица 9.1 – Таблица истинности

N	X_1	X_2	X_3	y
0	0	0	0	
1	0	0	1	
2	0	1	0	
3	0	1	1	
4	1	0	0	
5	1	0	1	
6	1	1	0	
7	1	1	1	

9.3.2.2. Построить комбинационную схему заданной логической функции на элементах И-НЕ, используя рекомендации п. 9.1.3.

9.3.2.3. Собрать схему с учетом указаний подраздела 9.2. об использовании вместо инверторов инверсных выходов генератора сигналов.

9.3.2.4. Проверить функционирование собранной схемы в соответствии с составленной таблицей истинности аналогично пп. 9.3.1.2.

9.4. Обработка результатов эксперимента и оформление отчета

9.4.1. По данным пп. 9.3.1.1. построить передаточную характеристику элемента И-НЕ. С помощью передаточной характеристики определить параметры логического элемента: выходные напряжения $U^1_{\text{вых}}$ и $U^0_{\text{вых}}$, пороговые напряжения $U^1_{\text{пор}}$ и $U^0_{\text{пор}}$, а также статическую помехоустойчивость $U^+_{\text{п}}$ и $U^-_{\text{п}}$.

9.4.2. Используя таблицу истинности элемента 3И-НЕ, построить временные диаграммы для трех произвольно заданных входных переменных.

Отчет о выполненной работе должен содержать: цель работы, схемы экспериментов, результаты преобразований, таблицы истинности, графики, выводы.

Вопросы для самопроверки

1. Перечислить основные параметры логических элементов.
2. Дайте определение статической помехоустойчивости.
3. Какой параметр характеризует нагрузочную способность логического элемента?
4. Объясните принцип работы базового логического элемента ТТЛ (по рис. 9.2).
5. Какие параметры можно определить по передаточной характеристике элемента?
6. Объясните, как составить таблицу истинности для любой логической функции.
7. Объясните, что такое основной функционально полный набор логических элементов.
8. Составьте таблицу истинности для элементов 2И-НЕ и 2ИЛИ-НЕ.
9. Каков порядок реализации логической функции в базисе И-НЕ?

ЛАБОРАТОРНАЯ РАБОТА № 10

ДЕШИФРАТОР И МУЛЬТИПЛЕКСОР

Цель работы – исследование функционирования комбинационных микросхем широкого применения на примере дешифратора и мультиплексора серии К155.

10.1. Основные положения

Комбинационные цифровые микросхемы – устройства, у которых отсутствуют элементы памяти, а выходные сигналы определяются только комбинацией входных сигналов в данный момент времени. К комбинационным микросхемам относятся: дешифраторы, преобразователи кодов, сумматоры, мультиплексоры и др.

Применение комбинационных микросхем позволяет строить более сложные цифровые устройства при меньших аппаратных затратах, так как готовый узел на одной микросхеме заменяет устройство, собираемое из множества логических элементов. Ниже кратко рассматривается работа дешифраторов и мультиплексоров.

10.1.1. Дешифраторы

Дешифратором называется комбинационное устройство, в котором при каждой двоичной кодовой комбинации входных переменных формируется единичный сигнал только на одном выходе, а на остальных выходах будут нули. Дешифраторы могут быть полными и неполными.

Полный дешифратор при n входах имеет 2^n выходов. У неполного дешифратора число выходов будет меньше.

Рассмотрим полный дешифратор на два входа x_1 и x_2 ($n = 2$) и четыре выхода y_0, y_1, y_2, y_3.

Ниже приведена таблица истинности такого дешифратора.

Таблица 10.1 – Таблица истинности дешифратора

x_1	x_2	y_0	y_1	y_2	y_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Из табл. 10.1 следует, что двухвходовый дешифратор реализует на выходах логические функции:

$$y_0 = \overline{x_2}\,\overline{x_1}; \qquad y_1 = \overline{x_2}x_1; \qquad y_2 = x_2\overline{x_1}; \qquad y_3 = x_2x_1. \qquad (10.1)$$

Если выходные переменные представить как двоичную запись чисел, то логическая единица формируется на том выходе, номер которого соответствует десятичной записи того же числа. Например, при $x_2 = 1$ и $x_1 = 1$ имеем число 11 в двоичном коде. В десятичном коде это число соответствует 3, т.е. при данной комбинации входных переменных имеем на выходе $y_3 = 1$.

Схема дешифратора, реализующая функции (10.1), показана на рис. 10.1, *а*, а его условное обозначение – на рис. 10.1, *б*.

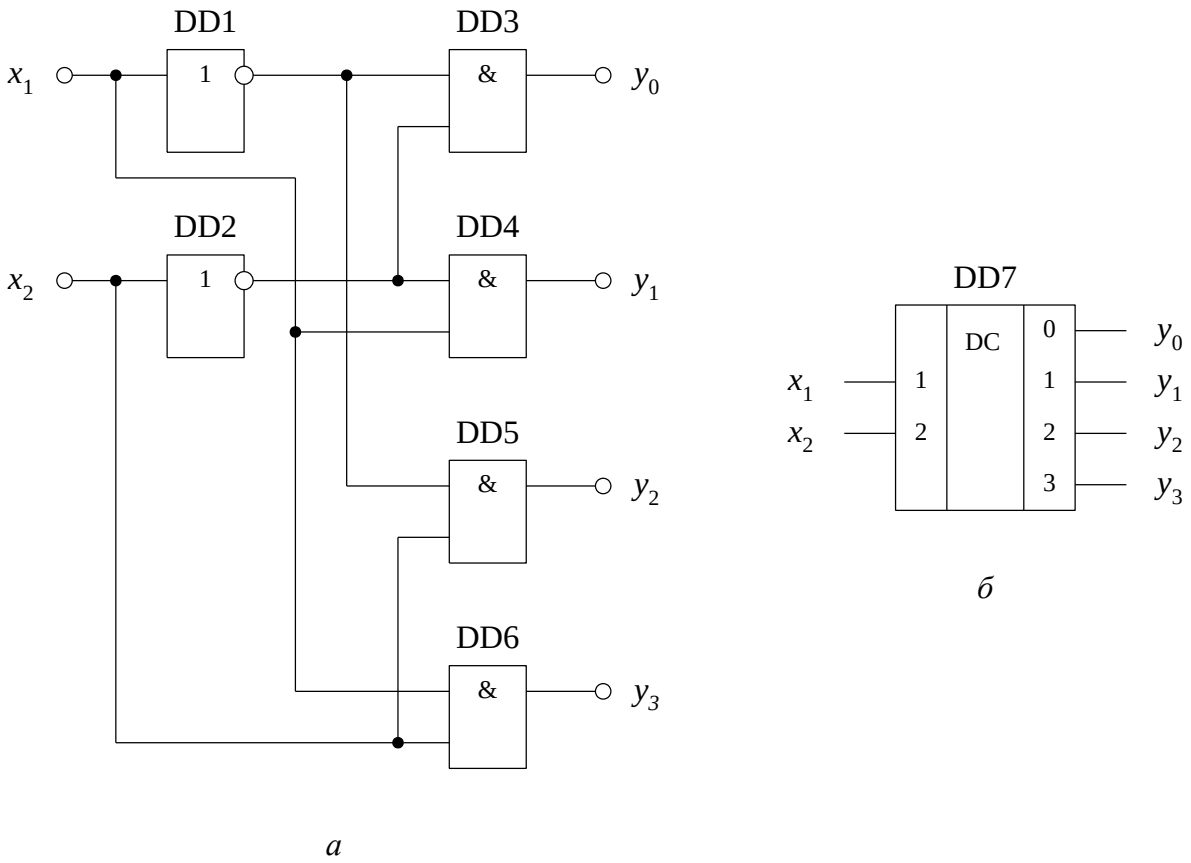


Рисунок 10.1 – Эквивалентная схема (*а*) и условное обозначение (*б*) дешифратора

Дешифраторы широко используются в качестве преобразователей двоичного кода в десятичный, а также во многих устройствах в качестве формирователей последовательных во времени управляющих сигналов.

10.1.2. Мультиплексоры

Мультиплексором называется комбинационное устройство, предназначенное для коммутации сигналов с нескольких входов на один выход.

Мультиплексор имеет информационные входы D_i, на которые поступает двоичная информация, и адресные входы, на которые поступает двоичный код адреса. При этом каждому адресу соответствует свой информационный вход, сигнал с которого (0 или 1) при данном адресе проходит на выход.

При наличии n адресных входов мультиплексор может коммутировать 2^n информационных входов на выход, т.е. число информационных входов равно полному набору переменных на адресных входах.

На рис. 10.2, *а* приведена упрощенная эквивалентная схема мультиплексора на четыре информационных входа в виде управляемого кодом переключателя. В положении ключа 00 (код адреса $x_2 = 0$, $x_1 = 0$) имеем на выходе $y = D_0$; в положении ключа 01 (код адреса $x_2 = 0$, $x_1 = 1$) имеем $y = D_1$; в положении ключа 10 (код адреса $x_2 = 1$, $x_1 = 0$) имеем $y = D_2$; в положении ключа 11 (код адреса $x_2 = 1$, $x_1 = 1$) имеем $y = D_3$. Таким образом, код адреса соответствует десятичному номеру подключаемого к выходу информационного входа.

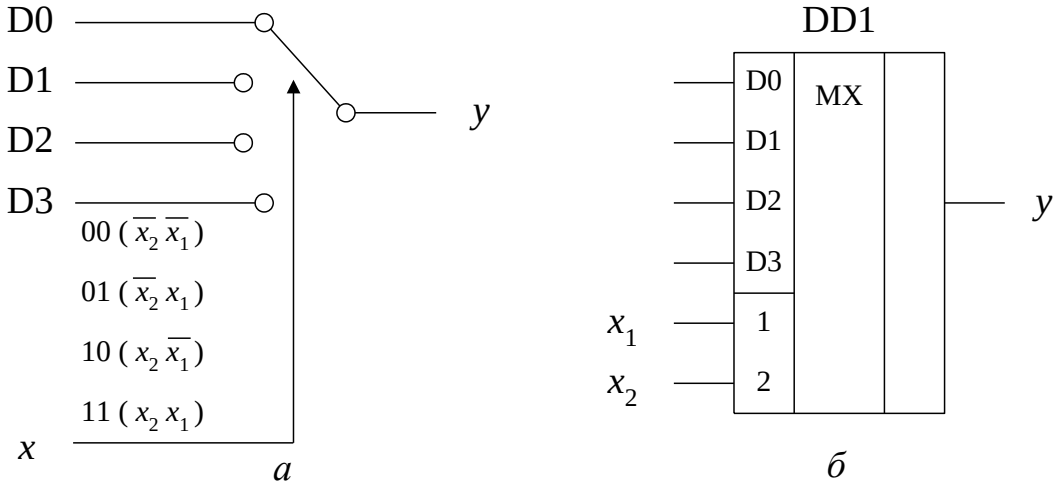


Рисунок 10.2 – Эквивалентная схема (*а*) и условное обозначение (*б*) мультиплексора

Работа данного мультиплексора описывается логическим уравнением

$$y = D_0\bar{x}_2\bar{x}_1 + D_1\bar{x}_2x_1 + D_2x_2\bar{x}_1 + D_3x_2x_1 \qquad (10.2)$$

Условное обозначение мультиплексора приведено на рис. 10.2, *б*.

Помимо своего прямого назначения в виде коммутатора сигналов мультиплексоры могут выполнять и другие функции. Так, они могут быть использованы для реализации любой логической функции. В этом случае одна микросхема мультиплексора может заменить несколько микросхем с логическими элементами вида И, ИЛИ, НЕ и др.

Мультиплексор можно использовать также для преобразования параллельного двоичного кода в последовательный. Для этого управляющие двоичные сигналы на адресных входах следует менять в двоичной последовательности 00, 01, 10, 11 и т.д. (эта операция легко выполняется с помощью двоичного счетчика). При этом на выходе мультиплексора будут появляться один за другим сигналы, существующие на информационных входах, в порядке номеров этих входов. Разряд преобразуемого слова определяется числом информационных каналов.

10.2. Описание схем эксперимента

На рис. 10.3 приведены схемы исследуемых комбинационных микросхем, функционирование которых проверяется с помощью генератора Г сигналов X_1, X_2 и X_3. При нажатии кнопки «СБР» устанавливаются значения 0 на всех входах. При нажатии кнопки «ПУСК» происходит поочередная смена набора переменных, индикация которых осуществляется с помощью светодиодов «X_3», «X_2», «X_1» (на рис. 10.3 не показаны). Кроме этого в состав лабораторного стенда входит гнездо «у» со светодиодной индикацией для фиксации состояния выходов микросхем, а также «1» и «0» для подачи логических уровней на входы микросхем.

В качестве дешифратора используется микросхема К155ИД4, которая состоит из двух дешифраторов на два входа. Путем определенного соединения выводов микросхемы была собрана схема дешифратора на три входа и 8 выходов, приведенная на рис. 10.3. Следует иметь в виду, что данный дешифратор имеет инверсные выходы. Это значит, что, например, при входном коде 101 на выходе с номером 5 вместо 1 будет 0, а на остальных выходах будут единицы.

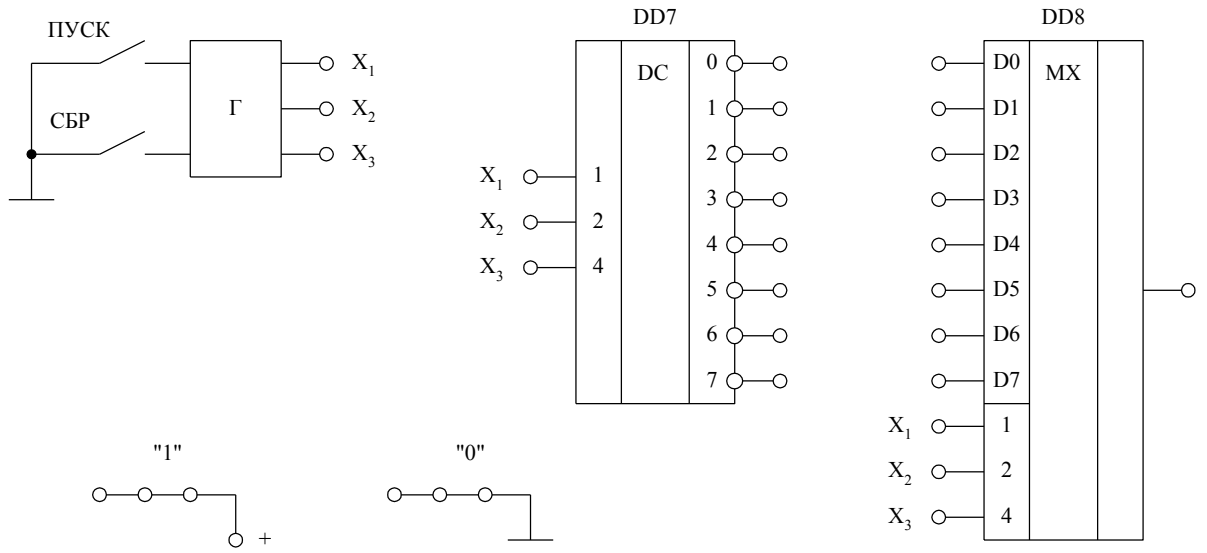


Рисунок 10.3 – Схемы исследуемых микросхем

В работе исследуется мультиплексор типа К155КП5 на три адресных входа. Входы дешифратора и адресные входы мультиплексора соединены внутри стенда с выходами X_1, X_2 и X_3 генератора сигналов. Проверка функционирования микросхем производится с помощью соединительных проводников.

10.3. Порядок выполнения работы

10.3.1. Исследование работы дешифратора

10.3.1.1. Составить таблицу истинности исследуемого дешифратора на три входа с инверсными выходами. Таблица составляется в соответствии с указаниями п. 10.1.1. и подраздела 10.2.

10.3.1.2. Исследовать работу дешифратора в соответствии с таблицей истинности. Нажать кнопку «СБР». С помощью соединительного проводника подключать индикатор «у» к выходам дешифратора и, нажимая кнопку «ПУСК», фиксировать по индикаторам «X_3, X_2, X_1» и «у» состояния входов и выходов дешифратора.

10.3.2. Исследование работы мультиплексора

10.3.2.1. Исследовать функционирование мультиплексора. Учитывая, что для серии ТТЛ состояние неподключенных свободных входов эквивалентно присутствию на них высокого уровня 1, то и для свободных входов D0–D7 мультиплексора это равносильно подаче на них 1. Поэтому следует поочередно подавать низкий уровень (гнезда «0») на информационные вхо-

ды и, нажимая кнопку «ПУСК», фиксировать по индикаторам состояния входов и выхода мультиплексора.

10.3.2.2. Исследовать работу мультиплексора в качестве преобразователя параллельного кода в последовательный.

Установить по указанию преподавателя 8-разрядный двоичный код на выходах D0-D7, используя гнезда «1» и «0» и соединительные проводники. Нажать кнопку «СБР». Нажимая кнопку «ПУСК», фиксировать последовательное прохождение на выход мультиплексора 8-разрядного кода при смене состояний на входах X_3, X_2, X_1 от 000 до 111.

10.4. Обработка результатов эксперимента и оформление отчета

10.4.1. Используя таблицу истинности дешифратора, построить временные диаграммы его работы по тактам. В данном случае число тактов равно восьми, а число временных диаграмм для каждого выхода также равно восьми.

10.4.2. По данным пп. 10.3.2.2 построить временные диаграммы работы мультиплексора в качестве преобразователя параллельного кода в последовательный. Временные диаграммы фиксируют прохождение на выход последовательного кода по тактам.

Отчет о выполненной работе должен содержать: цель работы, таблицы истинности, схемы экспериментов и временные диаграммы.

Вопросы для самопроверки

1. Объясните функциональное назначение дешифратора.
2. Какую особенность имеет дешифратор с инверсными выходами.
3. Постройте временные диаграммы работы дешифратора в соответствии с таблицей истинности по п. 10.1.1.
4. Как связано число выходов дешифратора с числом входов?
5. Объясните реализацию дешифратора, приведенную в п. 10.1.1.
6. На скольких инверсных выходах дешифратора может быть одновременно сигнал единицы?
7. Объясните функциональное назначение мультиплексора.
8. Как связано число информационных входов мультиплексора с адресными входами?
9. Приведите примеры применения мультиплексоров.

ЛАБОРАТОРНАЯ РАБОТА № 11

ТРИГГЕРЫ НА ИНТЕГРАЛЫХ МИКРОСХЕМАХ

Цель работы – изучение принципа работы интегральных триггеров различных типов; исследование функционирования триггеров в статическом и динамическом режимах; проверка работы Т-триггер на основе JK- и D-триггеров.

11.1. Основные положения

Триггером называется цифровое устройство, имеющее два устойчивых состояния и переходящее из одного состояния в другое под воздействием входных сигналов. Способность сохранять свое состояние позволяет использовать триггеры в качестве элементов памяти, при построении счетчиков, регистров и т.д.

Триггер имеет два выхода – прямой Q и инверсный $\overline{Q}$. Состояние триггера определяют по прямому выходу. Если, например, на прямом выходе $Q = 1$, то триггер находится в единичном состоянии (при этом $\overline{Q} = 0$).

Триггеры классифицируют в основном по функциональному признаку и по способу функционирования.

По функциональному признаку различают триггеры RS, D, T, JK и других типов, которые отличаются принципом работы. По способу функционирования триггеры подразделяют на асинхронные и синхронные (тактируемые). В асинхронных триггерах изменение состояния происходит непосредственно при подаче сигналов на информационный вход триггера. Тактируемые триггеры, в отличие от асинхронных, кроме информационных входов имеют вход синхронизации. Состояние таких триггеров изменяется после подачи тактового сигнала в соответствии со значениями сигналов на информационных входах. Синхронный триггер может управляться уровнем, фронтом или срезом тактового сигнала.

11.1.1. Асинхронные RS-триггеры

Простейшим триггером является асинхронный RS-триггер. Такой триггер имеет два информационных входа: вход S – производит установку триггера в единичное состояние ($Q = 1$); вход R – производит установку (сброс) триггера в нулевое состояние ($Q = 0$).

Реализация асинхронных RS-триггеров может быть осуществлена на элементах ИЛИ-НЕ и И-НЕ. На рис. 11.1 приведена схема RS-триггера на элементах ИЛИ-НЕ, условное обозначение и временные диаграммы его ра-

боты. Как видно из рис. 11.1, *а* RS-триггер представляет собой замкнутые в кольцо два элемента ИЛИ-НЕ. Наличие в таком кольце положительной обратной связи обуславливает устойчивые состояния триггера. При этом, если на одном выходе будет высокий уровень $Q=1$, то на выходе второго элемента устанавливается низкий уровень $\overline{Q}=0$ (см. рис. 11.1, *в*).

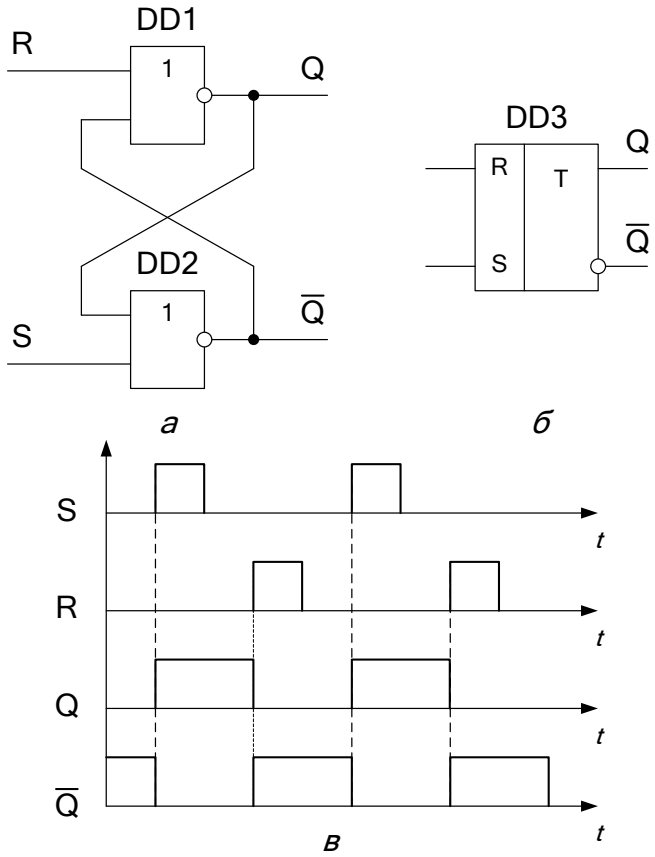


Рисунок 11.1 – Схема (*а*), условное обозначение (*б*) и временные диаграммы работы (*в*) RS-триггера с прямыми входами

Работа RS-триггера определяется таблицей переходов, в которой приводятся различные комбинации сигналов на входах R и S, значения выхода Q^t в момент *t* и Q^{t+1} – в момент (*t*+1) после срабатывания (табл. 11.1). Из таблицы следует, что при S=0, R=0 состояние триггера не изменяется, т.е. $Q^{t+1}=Q^t$. При состоянии на входах S=0, R=1 на выходе имеем нулевое состояние $Q^{t+1}=0$. При состоянии на входах S=1, R=0 на выходе имеем единичное состояние $Q^{t+1}=1$. При S=1, R=1 триггер принимает неопределенное состояние, т.е. такая комбинация сигналов на входах является запрещенной (в табл. 11.1 знак ∗).

Рассмотренный триггер, срабатывающий при подаче на входы сигналов 1, называют триггером с прямыми входами и обозначают, как показано на рис. 11.1, *б*.

Таблица 11.1 – Таблица переходов RS-триггера

S	R	Q^{t+1}
0	0	Q^t
0	1	0
1	0	1
1	1	*

На рис. 11.2 показана схема и условное обозначение RS-триггера на элементах И-НЕ. Срабатывание данного триггера происходит наоборот, при изменении входного сигнала от 1 до 0, т.е. когда на входы подается низкий уровень 0. Такой триггер имеет инверсные входы (рис. 11.2, *б*).

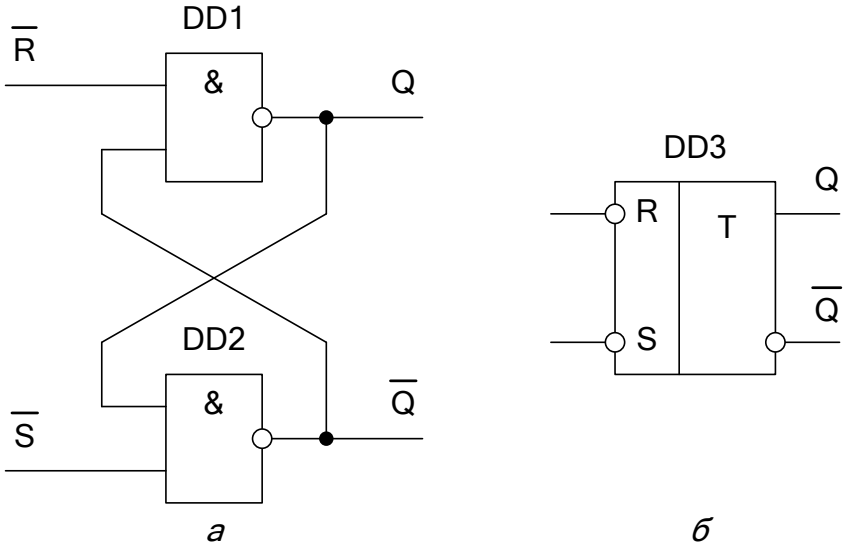


Рисунок 11.2 – Схема (*а)* и условное обозначение (*б*),
RS-триггера с инверсными входами

Таблицу переходов и временные диаграммы RS-триггера на элементах И-НЕ можно построить с учетом того, что необходимо дуально заменить 1 на 0 и 0 на 1. При этом следует иметь в виду, что запрещенной комбинацией в данном случае будут значения сигналов S=R=0.

11.1.2. D-триггер

Триггер D-типа относится к одновходовым синхронным триггерам. Он имеет один информационный вход D и вход синхронизации C.

Функционирование D-триггера можно описать с помощью таблицы переходов, в которой приводятся различные комбинации сигналов на входах C и D, значения выхода Q^t в предыдущем такте *t* и Q^{t+1} – в последующем (*t*+1) такте (см. таблицу 11.2)

Таблица 11.2 – Таблица переходов D-триггера

C	D^t	Q^{t+1}
0	0	Q^t
0	1	Q^t
1	0	0
1	1	1

Из таблицы следует, что при отсутствии тактовых импульсов (C=0) сигнал на выходе триггера сохраняет предыдущее значение независимо от сигнала на информационном входе, т.е. $Q^{t+1} = Q^t$.

С приходом тактового импульса информационный сигнал D^t предыдущего такта появляется на выходе в текущем такте, т.е. $Q^{t+1} = D^t$. Это означает, что D-триггер осуществляет задержку передачи входного информационного сигнала на вход на временной интервал до одного такта.

Управление D-триггером может осуществляться по уровню либо по фронту тактового импульса. В первом случае состояние выхода может меняться в течение действия тактового импульса. Во втором случае состояние выхода изменяется только с приходом фронта тактового импульса.

На рис. 11.3 приведены условное обозначение и временные диаграммы работы D-триггера.

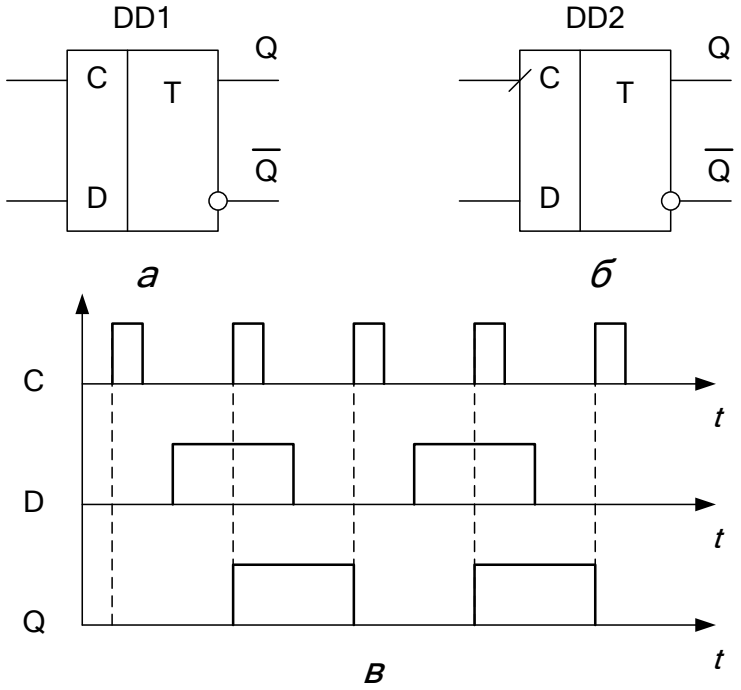


Рисунок 11.3 – Условные обозначения (*а*, *б*) и временные диаграмм работы (*в*) D-триггера

D-триггеры, тактируемые уровнем стоятся на одном асинхронном RS-триггере и элементах И-НЕ. Триггеры, тактируемые фронтом, более сложные и состоят из двух степеней на основе двух простейших триггеров. В условном обозначении D-триггера, тактируемого фронтом, помечается косой линией вправо (рис. 11.3, *б*).

Из временных диаграмм рис. 11.3, *в* видно, что состояние выхода Q в промежутках между тактовыми импульсами C не реагирует на состояние входа D. Изменение состояния выхода происходит только в моменты прихода тактовых импульсов.

11.1.3. JK-триггер

Триггер JK-типа относится к универсальным интегральным триггерам. Он имеет два управляющих информационных входа J и K и вход синхронизации C.

Работа JK-триггера во многом аналогична работе RS-триггера. При этом R и S играют соответственно входы J и K. Функционирование JK-триггера можно описать с помощью таблицы переходов (табл. 11.3), которая составлена при условии подачи тактовых импульсов (C=1). Из таблицы следует, что при J=K=0 состояние триггера не изменяется, т.е. $Q^{t+1} = Q^t$. При состоянии на выходах J=0, K=1 имеем $Q^{t+1} = 0$. При J=1, K=0 имеем $Q^{t+1} = 1$.

Таблица 11.3 – Таблица переходов JK-триггера

J	K	Q^{t+1}
0	0	Q^t
0	1	0
1	0	1
1	1	$\overline{Q^t}$

Из сравнения табл. 11.1 и табл. 11.3 следует, что в отличие от RS-триггера JK-триггер не имеет запрещенного состояния. При J=1 и K=1 JK-триггер переходит в противоположное состояние $Q^{t+1} = \overline{Q^t}$.

Структура JK-триггера является двухступенчатой и состоит из включенных последовательно вспомогательного и основного RS-триггеров. С приходом фронта тактового импульса на вход C происходит запись информации с входов J и K во вспомогательный триггер. На время действия тактового импульса в основном триггере сохраняется информация, записанная в предыдущем такте. С приходом среза тактового импульса информация перезаписывается из вспомогательного триггера в основной. Таким обра-

зом, запись информации в JK-триггере происходит по фронту, а изменение состояния на выходе – по срезу тактового импульса. Это позволяет повысить помехоустойчивость и надежность работы триггера.

На рис. 11.4 приведено условное обозначение JK-триггера и временные диаграммы его работы.

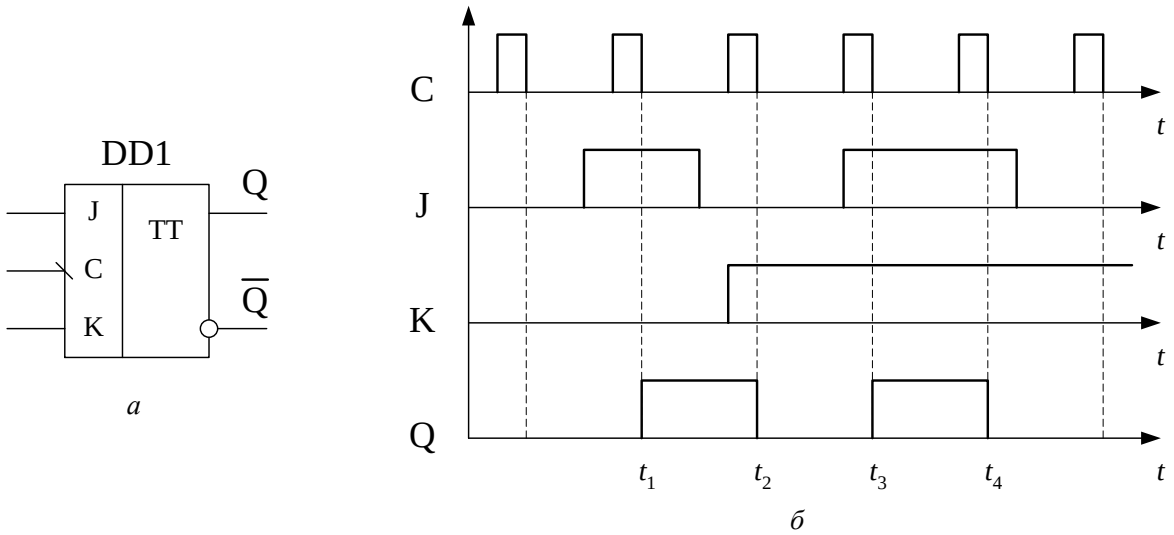


Рисунок 11.4 – Условное обозначение (*а*) и временные диаграммы работы (*б*) JK-триггера

В условном обозначении C-входа JK-триггера, тактируемого срезом, помечается косой линией влево (рис. 11.4, *б*). Интегральные триггеры кроме информационных входов содержат установочные входы R и S, которые имеют приоритет, т.е. принудительно переключают триггер путем соответствующей установки его в состояние 0 или 1.

Из временных диаграмм рис. 11.4, *б* следует, что в момент t_1 среза первого тактового импульса триггер переходит в состояние $Q=1$, так как J=1, K=0. В интервале t_1–t_2 триггер не воспринимает информацию на входах. В момент t_2 окончания второго тактового импульса триггер переключается $Q=0$. В моменты t_3 и t_4, когда J=K=1 триггер поочередно переходит в противоположные состояния.

На основе универсального JK-триггера может быть построен ряд других триггеров.

11.1.4. T-триггер

T-триггер является триггером со счетным входом. Эти триггеры имеют один вход T и изменяют свое состояние на противоположное после каждого входного импульса, т.е. $Q^{t+1}=\overline{Q^t}$.

Характерной особенностью Т-триггера является то, что частота изменения сигналов на его выходе в два раза меньше частоты сигналов на входе Т. Это свойство триггера используется при построении двоичных счетчиков.

На рис. 11.5 показано условное обозначение и временные диаграммы работы Т-триггера.

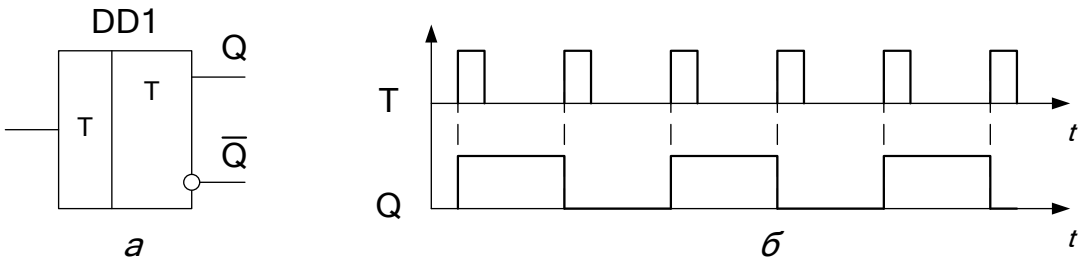


Рисунок 11.5 – Условное обозначение (*а*) и временные диаграммы работы (*б*) Т-триггера

Т-триггер можно построить на логических элементах. Однако на практике для его построения используют интегральные микросхемы D- или JK-триггеров, которые можно перевести в режим Т-триггера коммутацией соответствующих выводов микросхемы.

Если в D-триггере вход D соединить с инверсным выходом $\overline{Q}$, то каждый тактовый импульс, поступая на С-вход переводит триггер в противоположное состояние, т.е. $Q^{t+1} = \overline{Q^t}$. Когда, например, триггер устанавливается в состояние $Q^t = 1$, то на его входе D появляется сигнал $D^t = \overline{Q^t} = 0$. Поэтому очередной тактовый импульс переводит триггер в новое состояние $Q^{t+1} = D^t = 0$ и т.д. Таким образом, на основе D-триггера строится Т-триггер (рис. 11.6, *а*).

Для перевода JK-триггера в режим Т-триггера на его информационные входы подают высокий логический уровень J=K=1 (см. рис. 11.6, *б*). В моменты появления срезов тактовых импульсов триггер будет переключаться на противоположное состояние $Q^{t+1} = \overline{Q^t}$.

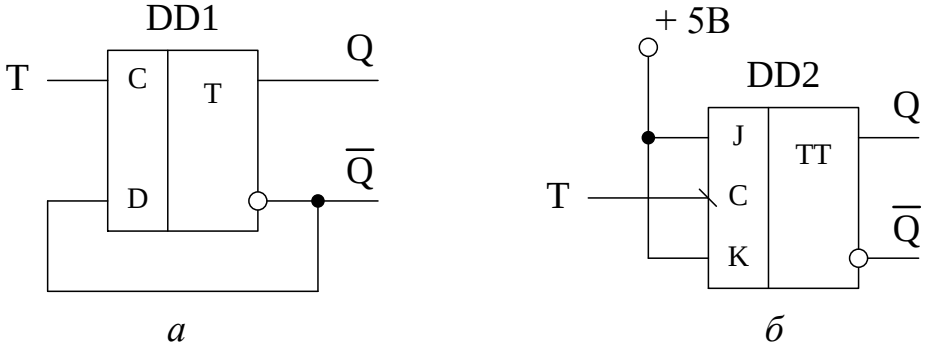


Рисунок 11.6 – Реализация Т-триггера на D-триггере (*а*) и JK-триггере (*б*)

11.2. Описание схем эксперимента

На рис. 11.7 приведены схемы исследуемых интегральных микросхем триггеров и элементов И-НЕ. Для проверки функционирования триггеров используется генератор импульсов ГИ. Предусмотрены два режима работы: ручной и автоматический. В ручном режиме при каждом нажатии кнопки «ПУСК» формируется импульс синхронизации. При нажатии кнопки «АВТ» импульсы синхронизации поступают от генератора ГИ.

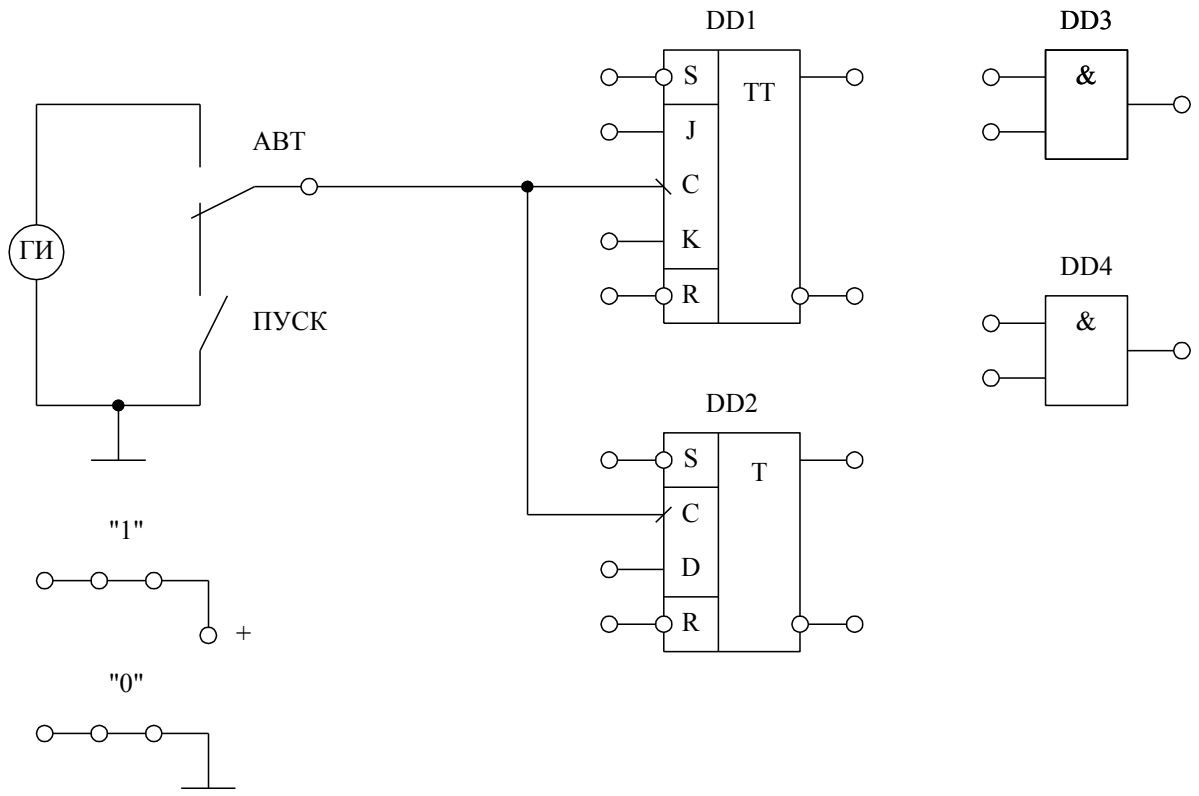


Рисунок 11.7 – Схемы исследуемых микросхем

В работе используется гнездо «Q» (на рис. 11.7 не показано) со светодиодной индикацией для фиксации состояния выходов триггеров, а также гнезда «1» и «0» для подачи логических уровней на входы триггеров.

Поле микросхем состоит из JK-триггера (DD1) типа К155ТВ1, D-триггера (DD2) типа К155ТМ2 и двух элементов И-НЕ (DD3, DD4) типа К155ЛА3.

11.3. Порядок выполнения работы

11.3.1. Исследование асинхронного RS-триггера

11.3.1.1. Составить таблицу переходов RS-триггера с инверсными входами на элементах И-НЕ, используя указания п. 11.1.1.

11.3.1.2. Собрать схему RS-триггера на элементах И-НЕ и проверить ее функционирование в соответствии с таблицей переходов, подавая на входы сигналы с гнезд «1» и «0» и используя индикатор «Q».

11.3.2. Исследование JK-триггера

11.3.2.1. Исследовать функционирование JK-триггера в соответствии с таблицей переходов (табл. 11.3). Подавать на входы J и K различные логические уровни с гнезд «1» и «0» и при нажатии кнопки «ПУСК» фиксировать состояние прямого выхода триггера, подключенного к индикатору «Q».

11.3.2.2. Проверить работу установочных инверсных входов, подавая поочередно сигналы S=0 и R=0 и фиксируя состояние прямого выхода по индикатору «Q».

Меняя уровни сигналов на выходах J и K, убедиться в приоритете сигналов установочных входов S и R.

11.3.3. Исследование D-триггера

11.3.3.1. Исследовать работу D-триггера в соответствии с таблицей переходов (табл. 11.2). Подать на вход D уровни 1 и 0 и, нажимая кнопку «ПУСК», фиксировать состояние прямого выхода триггера, подключенного к индикатору «Q».

11.3.3.2. Проверить работу установочных входов D-триггера аналогично п. 11.3.2.2.

11.3.4. Исследование T-триггера

11.3.4.1. Собрать и проверить работу T-триггера на основе JK-триггера. Для этого следует подать на входы J=K=1 и, нажимая кнопку «ПУСК», фиксировать поочередную смену состояний на выходе триггера.

11.3.4.2. Собрать и проверить работу T-триггера на основе D-триггера. Для этого соединить проводником инверсный выход $\overline{Q}$ с входом D и, нажимая кнопку «ПУСК», фиксировать поочередную смену состояний на выходе триггера.

11.3.4.3. Подключить генератор ГИ к входу C D-триггера, нажав кнопку «АВТ». Снять и построить осциллограммы входного и выходного сигналов T-триггера, используя коммутатор стенда.

11.4. Обработка результатов эксперимента и оформление отчета

11.4.1. На основании таблицы переходов построить временные диаграммы работы RS-триггера на элементах И-НЕ. На временных диаграммах следует задать сигналы на входах R и S и определить сигналы на выходе Q.

11.4.2. На основании таблицы переходов построить временные диаграммы работы JK-триггера. На временных диаграммах сигналы на входах J, K, S и R задавать произвольно. При этом следует учитывать, что инверсные установочные входы S и R являются приоритетными при работе триггера (см. пп. 11.3.2.2).

11.4.3. Построить временные диаграммы работы D-триггера аналогично п. 11.4.2.

11.4.4. Построить временные диаграммы работы T-триггера и сравнить их с полученными осциллограммами в пп. 11.3.4.3.

Отчет о выполненной работе должен содержать: цель работы, таблицы переходов, схемы триггеров и временные диаграммы.

Вопросы для самопроверки

1 Опишите работу RS-триггера с прямыми входами.

2 В чем особенность работы RS-триггера на элементах И-НЕ?

3 Чем обусловлено свойство триггера запоминать входную информацию.

4 Опишите работу D-триггера.

5 В чем отличие синхронного триггера от асинхронного?

6 Опишите функционирование JK-триггера по временным диаграммам.

7 Опишите процесс переключения двухступенчатого JK-триггера при подаче тактового импульса.

8 Опишите работу T-триггера в качестве делителя частоты на два.

9 Опишите работу D-триггера в режиме T-триггера.

10 Опишите работу JK-триггера в режиме T-триггера.

11 Объясните временные диаграммы работы JK-триггера с установочными сигналами S и R.

ЛАБОРАТОРНАЯ РАБОТА № 12
СЧЕТЧИКИ И РЕГИСТРЫ

Цель работы – исследование последовательных двоичных и недвоичных счетчиков; исследование схемных особенностей и принципа работы регистра сдвига и кольцевого счетчика на D-триггерах.

12.1. Основные положения

Счетчики – устройства, осуществляющие подсчет входных импульсов по определенному закону и хранение кода числа подсчитанных импульсов.

По функциональному назначению счетчики разделяют на суммирующие, вычитающие и реверсивные. Суммирующий счетчик выполнят прямой счет, то есть при появлении на входе очередного импульса число на выходе счетчика увеличивается на единицу. Вычитающий счетчик производит обратный счет, то есть при поступлении счетного импульса число на выходе уменьшается на единицу. Реверсивный счетчик может работать в режимах прямого и обратного счета. По структурной организации различают последовательные (асинхронные) и параллельные (синхронные) счетчики. Первый триггер счетчика соответствует младшему (первому) разряду кода числа подсчитанных импульсов. В последовательных счетчиках счетные импульсы подаются только на вход триггера первого разряда, а для каждого из последующих разрядов сигналы переключения подаются с выхода предыдущих разрядов. В результате происходит последовательное переключение триггеров счетчика.

По коэффициенту счета различают двоичные и недвоичные счетчики. Коэффициент счета K_C характеризует число устойчивых состояний счета, то есть максимальное число импульсов, которое может сосчитать счетчик. Для двоичного счетчика при n триггерах коэффициент счета равен $K_C = 2^n$. Например, при $n = 3$ для двоичного счетчика $K_C = 8$, то есть он имеет 8 устойчивых состояний, и каждый восьмой входной импульс будет возвращать счетчик в исходное состояние. Для недвоичного счетчика $K_C \neq 2^n$.

Регистры служат для приема, хранения и передачи информации. По способу приема и выдачи информации различают параллельные и последовательные регистры. В параллельных регистрах (регистрах памяти) все разряды кода вводятся и выводятся одновременно, т. е. параллельно. Последовательный регистр (регистр сдвига) осуществляет последовательную запись кода числа. На информационный вход регистра последовательно подаются значения двоичных разрядов числа, а сдвигающие импульсы, поступающие на тактовые входы триггеров передают записанную информацию от разряда к разряду вправо или влево. Регистры сдвига широко применяются в вы-

числительной технике, и, в частности, для преобразования последовательного кода в параллельный.

12.1.1. Последовательные счетчики

Последовательные счетчики обычно реализуются последовательным соединением Т-триггеров, каждый из которых образует один разряд.

На рисунке 12.1 приведена схема и временные диаграммы работы трехразрядного последовательного суммирующего счетчика. Счетчик имеет коэффициент счета $K_C = 2^3 = 8$, то есть является двоичным. При поступлении входных импульсов происходит поочередная смена состояний счетчика $Q_3Q_2Q_1$ (Q_1 – выход младшего разряда). В данном счетчике Т-триггеры срабатывают по фронту входного импульса, что видно из временных диаграмм (рис. 12.1, *б*). Поэтому для получения суммирующего счетчика вход последующего триггера подключается к инверсному выходу предыдущего триггера.

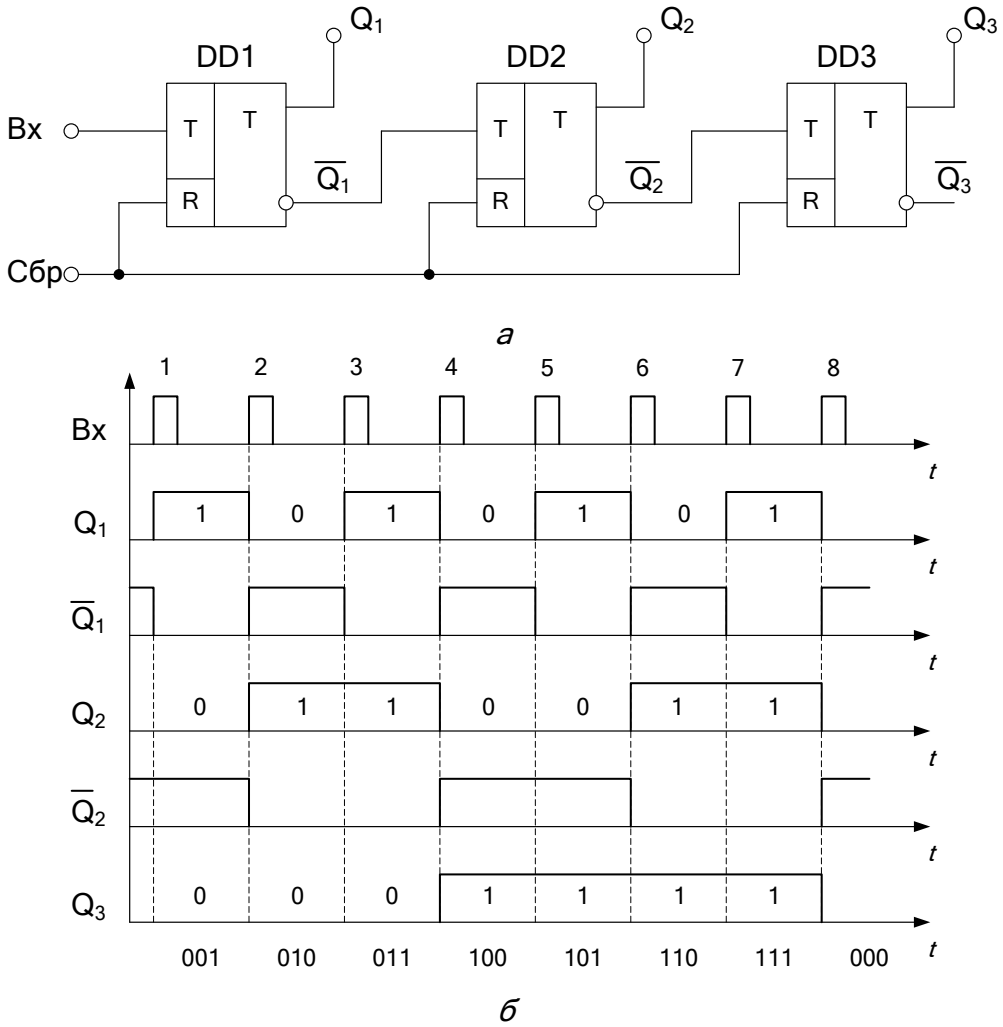


Рисунок 12.1 – Схема (*а*) и временные диаграммы работы (*б*) суммирующего двоичного счетчика

По команде «СБР» счетчик устанавливается в состояние $Q_3Q_2Q_1 = 000$. С приходом первого тактового импульса срабатывает первый триггер и на его прямом выходе устанавливается $Q_1 = 1$. При этом $Q_2 = 0$ и $Q_3 = 0$, а состояние счетчика станет равным 001. По фронту второго импульса первый триггер переключается в противоположное состояние ($Q_1 = 0$, $\overline{Q}_1 = 1$). В этот момент по фронту импульса с выхода $\overline{Q}_1$ срабатывает второй триггер, то есть $Q_2 = 1$, $\overline{Q}_2 = 0$ и $\overline{Q}_3 = 0$. Состояние счетчика увеличивается на единицу и становится равным 010 и т.д. Таким образом, при использовании инверсных выходов триггеров осуществляется нормальная работа суммирующего счетчика.

Для получения вычитающего счетчика в данном случае следует подключить вход T каждого последующего триггера к прямому выходу предыдущего триггера.

В данной работе для построения счетчиков используются D-триггер в режиме T-триггера, который переключается по фронту тактовых импульсов.

Для построения недвоичного последовательного счетчика при $K_C \neq 2^n$ используется суммирующий счетчик на T-триггерах, в который вводятся дополнительные логические элементы. Один из способов реализации таких счетчиков состоит в использовании входов сброса триггеров, то есть счет начинается с 0 и оканчивается числом равным $K_C - 1$. Например, при $K_C = 5$ в трехразрядном счетчике состояния выходов $Q_3Q_2Q_1$ меняются последовательно $000 \to 001 \to 010 \to 011 \to 100$. При появлении кодовой комбинации 101 осуществляется принудительный сброс триггеров в нуль и далее счет повторяется. Для этого используется элемент И, который формирует сигнал сброса триггеров R = 1 только при $Q_3 = Q_1 = 1$. структура такого счетчика приведена на рисунке 12.2.

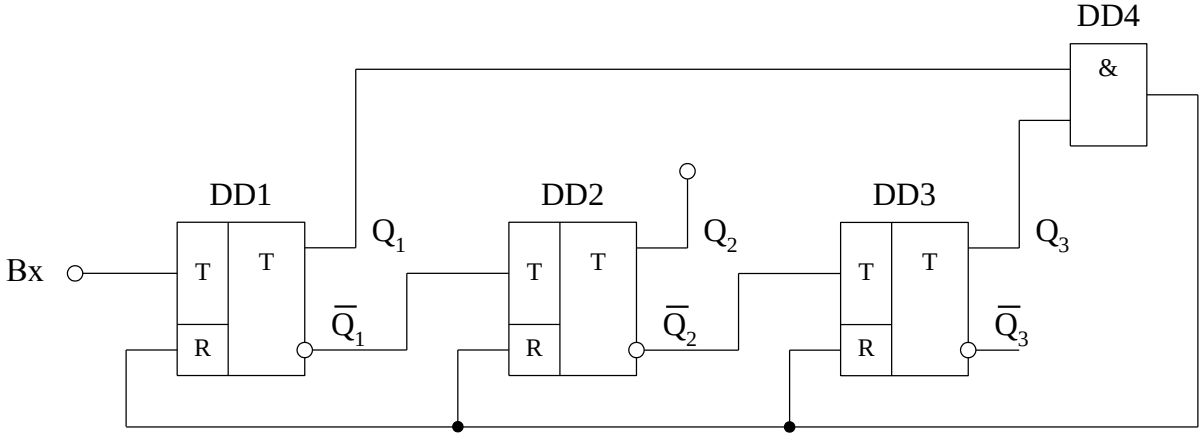


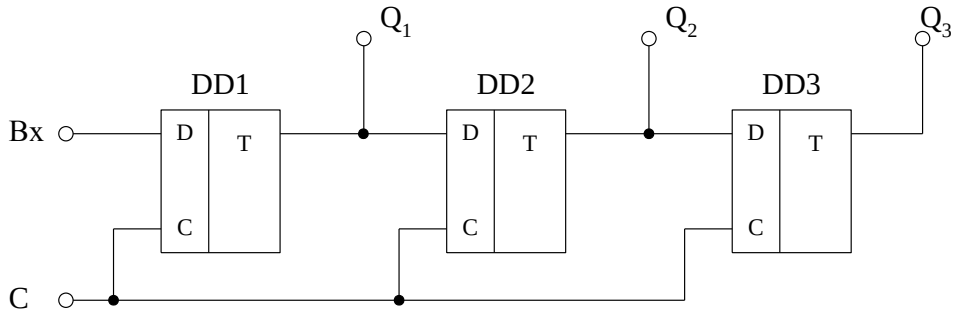
Рисунок 12.2 – Недвоичный счетчик с $K_C = 5$

При реализации недвоичного счетчика на интегральных D- триггерах следует учесть, что их сброс в 0 происходит при R = 0 (инверсный вход R). Поэтому в данном случае необходимо использовать элемент И-НЕ, на выходе которого в момент сброса формируется сигнал 0.

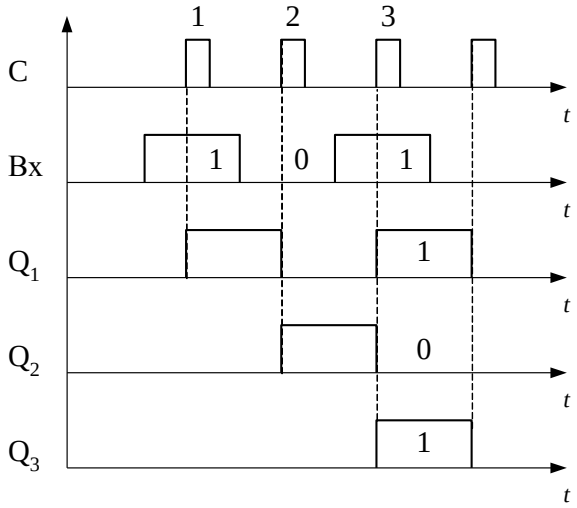
12.1.2. Регистры

Наиболее просто регистр сдвига реализуется на D-триггерах. На рисунке 12.3 приведена схема и временные диаграммы работы трехразрядного регистра сдвига.

Выход Q предыдущего разряда соединяется со входом D последующего. Благодаря этому каждый тактовый импульс устанавливает последующий триггер в состояние, в котором до этого находился предыдущий, осуществляя тем самым сдвиг информации на разряд вправо.



а



б

Рисунок 12.3 – Схема (*а*) и временные диаграммы работы (*б*) регистра сдвига

Вход D первого разряда служит для приема в регистр информации в виде последовательного кода. С каждым тактовым импульсом на этот вход должен подаваться код нового разряда входной информации.

На рисунке 12.3, *б* показан пример записи кода числа 5 ($A = a_3a_2a_1 = 101$). Входной код подается синхронно с тактовыми импульсами. Запись числа в регистр производится, начиная с его старшего разряда и вводится в первый триггер после первого тактового импульса: $Q_1 = a_3$. При поступлении второго тактового импульса значение a_3, поступающее с выхода Q_1, переписывается во второй триггер, т. е. устанавливается $Q_2 = a_3$, а в первый триггер поступает следующий разряд числа a_2 и т.д. После третьего тактового импульса на выходах регистра устанавливается параллельный код $Q_3Q_2Q_1 = 101$. В течение последующих трех тактовых импульсов с выхода Q_3 может быть снят последовательный код записанного числа.

При введении обратных связей в регистр сдвига последний превращается в замкнутое кольцо, в котором под воздействием тактовых импульсов циркулирует введенная в регистр информация. Такие регистры называют кольцевыми счетчиками. На рисунке 12.4 приведена схема кольцевого счетчика на D-триггерах.

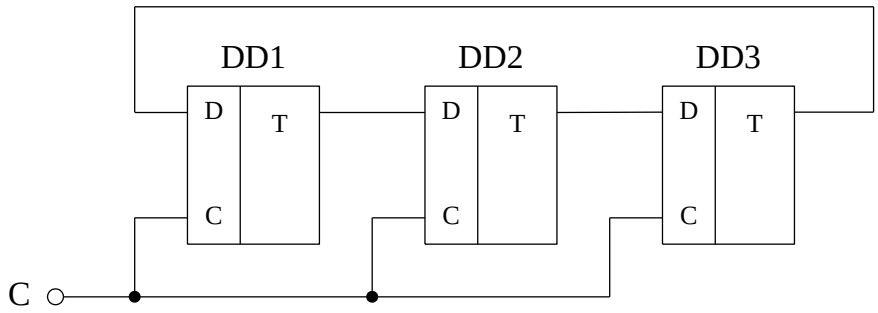


Рисунок 12.4 – Кольцевой счетчик

Кодовая единица, введенная в первый триггер, циркулирует в течение всего времени существования тактовых импульсов, подаваемых на входы C всех триггеров. Приходящий тактовый импульс устанавливает триггер, который был в состоянии 1, в состояние 0. Поскольку выход Q этого триггера связан с входом D следующего триггера, то последний устанавливается в состояние 1 и т.д. Количество состояний такого счетчика равно числу триггеров, то есть $K_C = 3$.

12.2. Описание схем эксперимента

На рисунке 12.5 изображены интегральные микросхемы для исследования счетчиков и регистров. В схему управления входит генератор импульсов ГИ. Предусмотрены два режима работы: ручной и автоматический. В ручном режиме при каждом нажатии кнопки «ПУСК» формируется импульс синхронизации. При нажатии кнопки «АВТ» импульсы синхрониза-

ции поступают от генератора ГИ.

Схемы счетчиков и регистров собираются на основе трех D-триггеров типа К155ТМ2, прямые выходы которых подключены к светодиодным индикаторам «$Q_3Q_2Q_1$» (на рис. 12.5 не показаны). Для установки триггеров в исходное состояние используется кнопка «СБР» на панели управления.

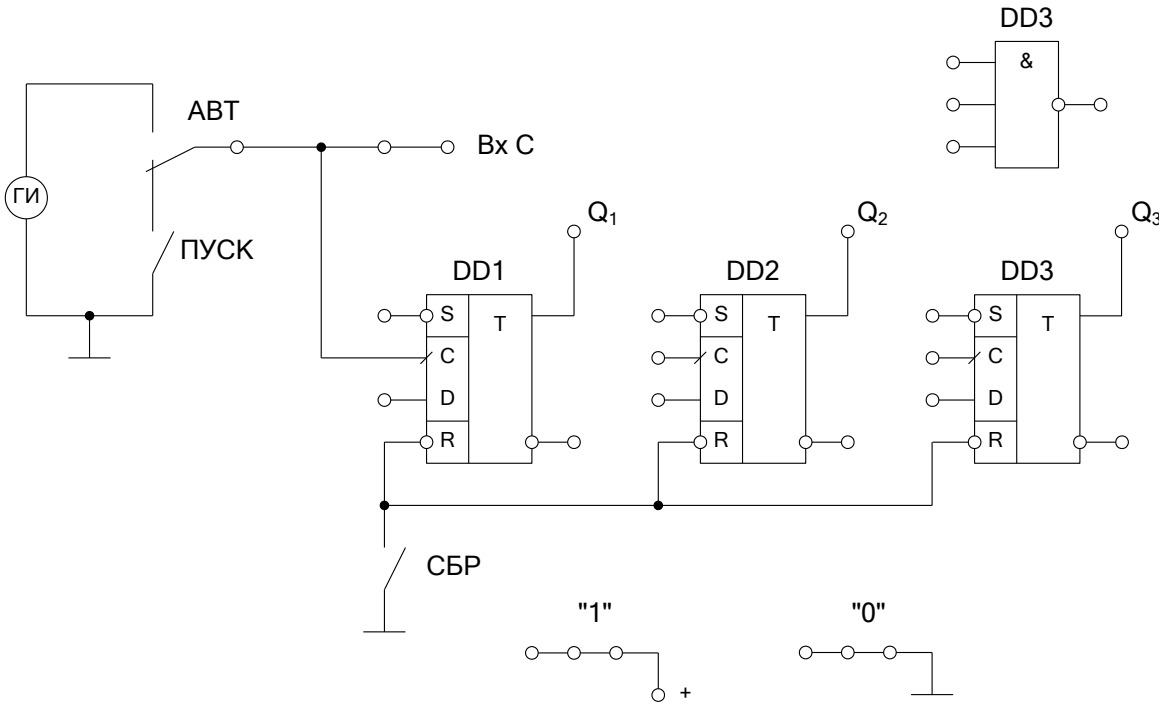


Рисунок 12.5 – Интегральные микросхемы для исследования счетчиков и регистров

В работе используется элемент 3И-НЕ для исследования недвоичного счетчика, а также гнезда «1» и «0» для подачи логических уровней на входы триггеров.

Сборка счетчиков и регистров производится с помощью соединительных проводников.

12.3. Порядок выполнения работы

12.3.1. Исследование двоичного суммирующего счетчика

12.3.1.1. Построить схему последовательного двоичного суммирующего счетчика на три разряда в соответствии с п. 12.1.1. В качестве Т-триггера использовать D-триггер (см. п. 11.1.4). Для этого следует соединить выход $\overline{Q}$ со входом D и использовать вход C в качестве счетного входа триггера.

12.3.1.2. Нажать кнопку «СБР», установить исходное состояние счетчика 000. Нажимая кнопку «ПУСК» и считая входные (тактовые) импульсы от первого до восьмого, фиксировать состояние счетчика по индикаторам

«$Q_3Q_2Q_1$».

12.3.1.3. Нажав кнопку «АВТ», подключить к входу счетчика генератор импульсов и снять осциллограммы импульсов на входе счетчика и на прямых выходах триггеров, используя коммутатор стенда.

12.3.2. Исследование двоичного вычитающего счетчика

12.3.2.1. Построить схему вычитающего счетчика в соответствии с рекомендациями п. 12.1.1.

12.3.2.2. Проверить функционирование вычитающего счетчика аналогично пп. 12.3.1.2.

12.3.3. Исследование недвоичного счетчика

12.3.3.1. Построить схему недвоичного счетчика с коэффициентом счета $K_C = 6$, используя рекомендации п. 12.1.1. При построении схемы следует учитывать, что D-триггеры имеют инверсный установочный вход R.

12.3.3.2. Нажать кнопку «СБР», установив исходное состояние счетчика 000. Нажимая кнопку «ПУСК» и считая входные импульсы, фиксировать состояние счетчика по индикаторам «$Q_3Q_2Q_1$».

12.3.4. Исследование регистра сдвига

12.3.4.1. Построить схему регистра сдвига на D-триггерах для преобразования последовательного кода в параллельный, используя рекомендации п. 12.1.2. При построении схемы следует соединить входы C каждого триггера с генератором ГИ для подачи синхроимпульсов.

12.3.4.2. Произвести запись в регистр числа $A = a_3a_2a_1 = 101$ (5). Запись значений числа, начиная со старшего разряда, производится подачей на вход D первого триггера регистра логических уровней с гнезд «1» либо «0».

Порядок проведения записи в регистр по тактам:

– установить регистр в исходное состояние 000, нажав кнопку «СБР»;

– установить на входе регистра $a_3 = 1$ и, нажав кнопку «ПУСК», произвести запись старшего разряда числа;

– установить на входе регистра $a_2 = 0$ и, нажав кнопку «ПУСК», произвести запись второго разряда числа;

– установить на входе регистра $a_1 = 1$ и, нажав кнопку «ПУСК», произвести запись первого разряда числа;

Зафиксировать состояние регистра по индикаторам «$Q_3Q_2Q_1$» после трех тактов записи заданного числа.

12.3.5. Исследование кольцевого счетчика

12.3.5.1. Построить схему кольцевого счетчика на D-триггерах, используя рекомендации п. 12.1.2.

12.3.5.2. Проверить функционирование кольцевого счетчика в следующем порядке. Нажать кнопку «СБР», установив счетчик в состояние 000. Затем установить триггер младшего разряда счетчика в состояние $Q_1 = 1$, подав на его установочный (инверсный) вход уровень S = 0 с гнезда «0» соединительным проводником. Отсоединив этот проводник и в ручном режиме, нажимая кнопку «ПУСК», фиксировать состояние счетчика по индикаторам «$Q_3Q_2Q_1$».

12.4. Обработка результатов эксперимента и оформление отчета

12.4.1. По данным пп. 12.3.1.2 построить таблицу состояний и временные диаграммы работы двоичного суммирующего счетчика.

12.4.2. По данным пп. 12.3.2.2 построить таблицу состояний и временные диаграммы работы двоичного вычитающего счетчика.

12.4.3. По данным пп. 12.3.3.2 построить таблицу состояний и временные диаграммы работы недвоичного счетчика.

12.4.4. По данным пп. 12.3.5.2 построить таблицу состояний и временные диаграммы работы кольцевого счетчика.

Отчет о выполненной работе должен содержать: цель работы, таблицы состояний, временные диаграммы и схемы счетчиков и регистров.

Вопросы для самопроверки

1. Приведите классификацию счетчиков.
2. Объясните работу последовательного двоичного суммирующего счетчика.
3. Объясните работу последовательного двоичного вычитающего счетчика.
4. Как изменится структура счетчика в зависимости от срабатывания триггера по фронту или по срезу тактового импульса?
5. Объясните способ реализации и работу недвоичного счетчика.
6. Объясните работу последовательного регистра.
7. Как осуществляется параллельный и последовательный съем информации из регистра сдвига?
8. Объясните работу кольцевого счетчика.
9. Объясните, как при эксперименте производится запись одной единицы в кольцевой счетчик.

ЛАБОРАТОРНАЯ РАБОТА № 13
ЭЛЕМЕНТЫ УСТРОЙСТВ СОПРЯЖЕНИЯ С ОБЪЕКТОМ

Цель работы – изучение работы устройства сопряжения с объектом (УСО), состоящего из порта параллельного ввода-вывода, аналого-цифрового преобразователя (АЦП) последовательного приближения, цифро-аналогового преобразователя (ЦАП) и двух буферов; снятие экспериментальных характеристик преобразования ЦАП и АЦП.

13.1. Основные положения

Устройства сопряжения с объектом (УСО) служат для связи управляющих вычислительных машин (УВМ) с объектами управления (тиристорными преобразователями, электроприводами и т. д.).

УСО предназначены для преобразования аналоговых сигналов в цифровой код требуемой разрядности, передачи цифрового кода в УВМ, приема от УВМ кодов управляющих сигналов и передачи их к объектам управления, преобразования цифровых кодов в уровни управляющих сигналов.

В общем случае УСО состоит из аналого-цифровых преобразователей (АЦП), цифро-аналоговых преобразователей (ЦАП), портов параллельного либо последовательного ввода-вывода, буферов, микросхем логики.

13.1.1. Цифро-аналоговые преобразователи

В основе работы большинства ЦАП лежит принцип суммирования токов, пропорциональных весу разрядов входного кода. При построении схем ЦАП используют матрицы из резисторов, включаемые совместно с ОУ.

На рис. 13.1 приведена простейшая схема преобразования 4-разрядного кода в пропорциональное ему напряжение.

Сопротивления резисторов выбирают такими, чтобы при замкнутых ключах через них протекал ток, соответствующий весу разряда. Ключ замыкается тогда, когда в соответствующем разряде кода имеется 1. В точке суммирования ОУ протекает ток $I_{\text{вых}}$, который уравновешивается током обратной связи. Выходное напряжение ЦАП представляется в виде

$$U_{\text{вых}} = -U_{\text{оп}} \frac{R_{\text{ос}}}{R_0}\left(a_3 2^3 + a_2 2^2 + a_1 2^1 + a_0 2^0\right) = -U_{\text{оп}} \frac{R_{\text{ос}}}{R_0} N, \qquad (13.1)$$

где $U_{\text{оп}}$ – опорное напряжение;

N – преобразуемое 4-разрядное двоичное число.

Недостатком этой схемы является большой диапазон величин (номиналов) высокоточных резисторов, которые трудно реализовать при интегральной технологии.

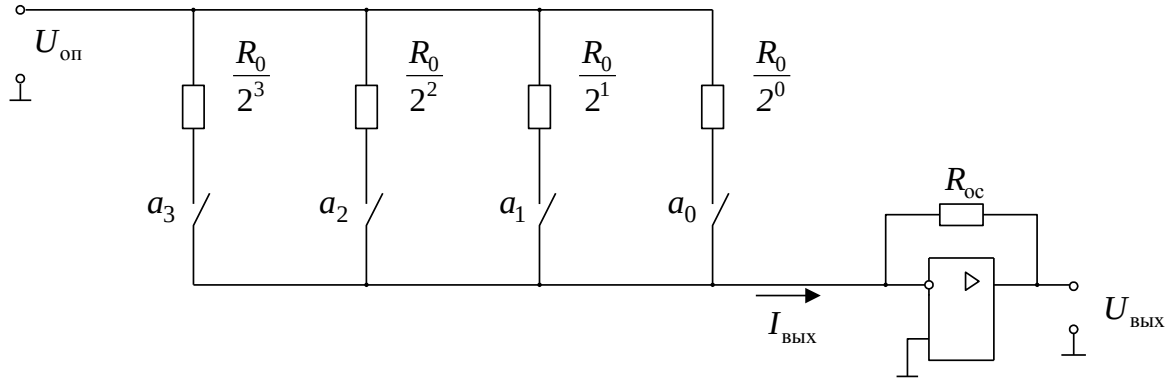


Рисунок 13.1. – Простейшая схема ЦАП

В данной работе исследуется микросхема ЦАП типа К572ПА1, предназначенная для преобразования 10-разрядного параллельного двоичного кода N в ток на аналоговом выходе. В работе исследование проводится при подаче 8-разрядного кода. Упрощенная структура ЦАП этого типа и ее включение приведены на рис. 13.2.

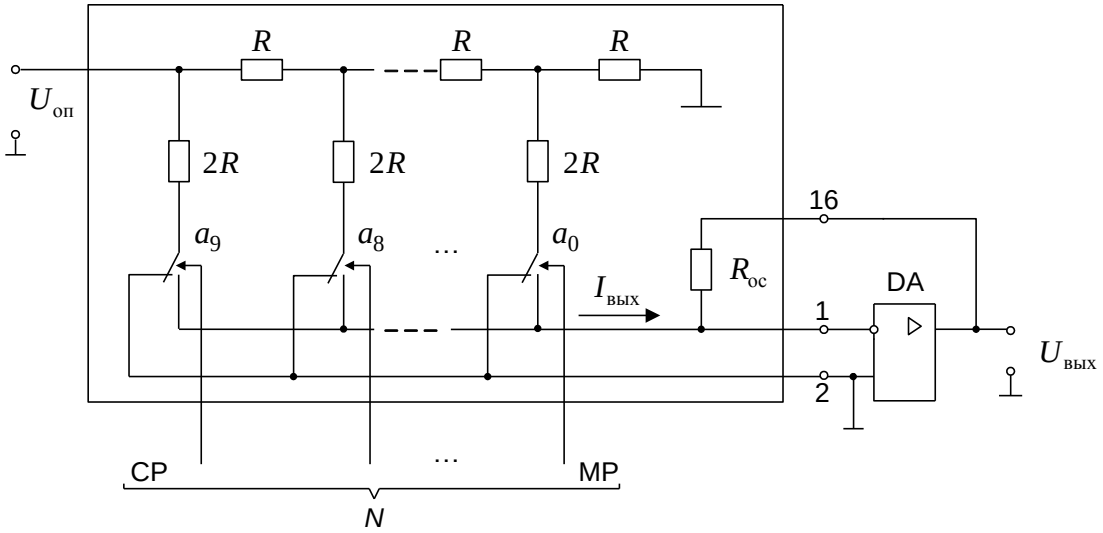


Рисунок 13.2. – Схема ЦАП типа К572ПА1

В состав ЦАП входят прецизионная резисторная матрица типа R-2R, двухпозиционные ключи, выполненные на КМОП - транзисторах, и схемы управления ключами. Резисторная матрица R-2R подключается к инвертирующему входу внешнего ОУ DA. Внутренний резистор $R_{ос}$ включается в

цепь обратной связи ОУ. Таким образом, ЦАП с внешним ОУ образует обычный суммирующий усилитель.

Суммирование происходит в соответствии с заданным значением двоичного кода всех разрядных токов, взвешенных по двоичному закону и пропорциональных значению опорного напряжения $U_{оп}$.

Особенностью матрицы типа R-2R является то, что она состоит из резисторов двух номиналов R и 2R, что упрощает процесс их подгонки. Главное свойство такой матрицы состоит в том, что сопротивление, наблюдаемое в узле каждого разряда относительно земли, постоянно и равно 2R. Это свойство обеспечивает деление общего входного тока в узлах матрицы по двоичному закону, При появлении на одном из разрядных входов ЦАП напряжения высокого уровня (a_i = 1) ток соответствующей ветви поступает на выход 1, а при низком уровне (a_i = 0) – на выход 2, который подключен к общей шине.

Выходное напряжение ЦАП снимается с выхода ОУ и определяется выражением

$$U_{вых} = -R_{ос} I_{вых} = -U_{оп} \frac{R_{ос}}{R} \frac{N}{N_0}, \qquad (13.2)$$

где N_0 –информационная емкость счетчика.

Резистор обратной связи выбран равным $R_{ос} = R$ и размещен на кристалле микросхемы, что повышает стабильность параметров ЦАП при воздействии внешних факторов.

Основным параметром ЦАП является разрешающая способность или шаг квантования, который определяется как приращение выходного напряжения при изменении входного кода на единицу младшего разряда

$$h = \frac{U_{вых m}}{2^n - 1}, \qquad (13.3)$$

где $U_{вых m}$ – максимальное значение выходного напряжения;

n – число разрядов входного кода.

При последовательном возрастании значений входного кода N выходной сигнал с шагом квантования h образует ступенчато возрастающую функцию, которую называют характеристикой преобразования ЦАП $U_{вых} = f(N)$. В отсутствии погрешностей средние точки ступенек расположены на прямой линии. Реальная характеристика преобразования имеет вид ломаной кривой, которая определяется различием размеров отдельных ступенек. На рис. 13.3 представлены кривые, поясняющие характер погрешностей ЦАП.

Кусочно-линейная кривая $U_{вых}$ (N) представляет реальную зависимость характеристики преобразования. Наибольшее отклонение этой кривой от прямой, соединяющей крайние точки этой кривой (пунктир), характеризует относительную погрешность линейности

$$\delta_{л} = \frac{\Delta U}{U_{вых m}}. \qquad (13.4)$$

Дифференциальная нелинейность определяется как наибольшее отклонение шага квантования от его среднего значения.

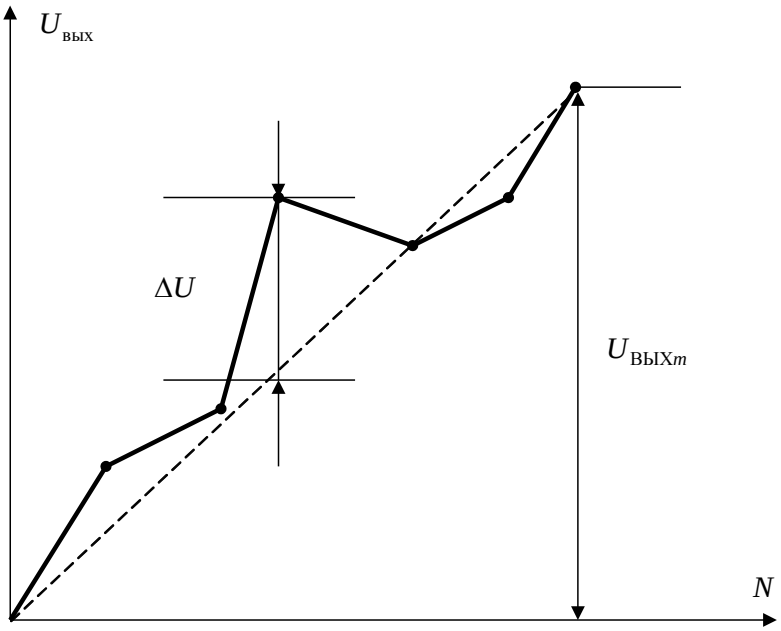


Рисунок 13.3. – Характеристика преобразования ЦАП

Быстродействие ЦАП характеризуется временем установления $t_{уст}$ выходного сигнала после изменения входного кода. Для ЦАП типа К572ПА1 $t_{уст}$ = 5 мкс.

13.1.2. Аналого-цифровые преобразователи

Преобразование аналоговой величины в цифровой код связано с измерительным процессом, т. е. входной сигнал сравнивается и уравновешивается набором эталонных величин, которые далее могут быть представлены двоичным кодом.

По способу формирования цифрового кода АЦП можно разделить на три основные группы: интегрирующие, последовательные и параллельные.

Интегрирующие АЦП имеют повышенную помехоустойчивость, точность преобразования, но из-за низкого быстродействия их применение ограничено в быстродействующих системах обработки сигналов, т. к. время преобразования достигает 10-100 мс.

Параллельные АЦП имеют самое высокое быстродействие (0,1 мкс). Принцип их действия основан на том, что входной сигнал одновременно квантуется с помощью набора компараторов, пороговые уровни которых установлены с помощью резистивного делителя и источника опорного сигнала.

При подаче на такой набор компараторов входного сигнала на их выходах практически одновременно возникает сигнал, представленный в параллельном коде, который с помощью шифратора преобразуется в двоичный код. Однако применение параллельных АЦП ограничивается их сложностью. Так, для n разрядов АЦП необходимо 2^n-1 источников опорного напряжения и компараторов.

Наибольшее применение в настоящее время получили последовательные АЦП с ЦАП в цепи отрицательной обратной связи. Обобщенная структура их представлена на рис. 13.4, *а* и состоит из компаратора DA, ЦАП и цифровой схемы управления ЦСУ.

В основе работы данных АЦП лежит принцип сравнения входного сигнала $U_{вх}$ с выходным сигналом ЦАП $U_{ЦАП}$, который изменяется по определенному закону, задаваемому схемой ЦСУ. При равенстве выходного и входного напряжений компаратор DA формирует логический сигнал, останавливающий процесс уравновешивания.

При этом на выходе АЦП будет сформирован код N, соответствующий входному напряжению

$$N = N_0\left[\frac{U_{вх}}{U_{оп}}\right], \qquad (13.5)$$

где в квадратных скобках целая часть частного от деления.

Статическая погрешность таких АЦП определяется погрешностями ЦАП и компаратора, и поэтому они имеют аналогичные с ЦАП параметры: разрешающая способность h, погрешность линейности $\delta_Л$, дифференциальная нелинейность, время преобразования и т. д.

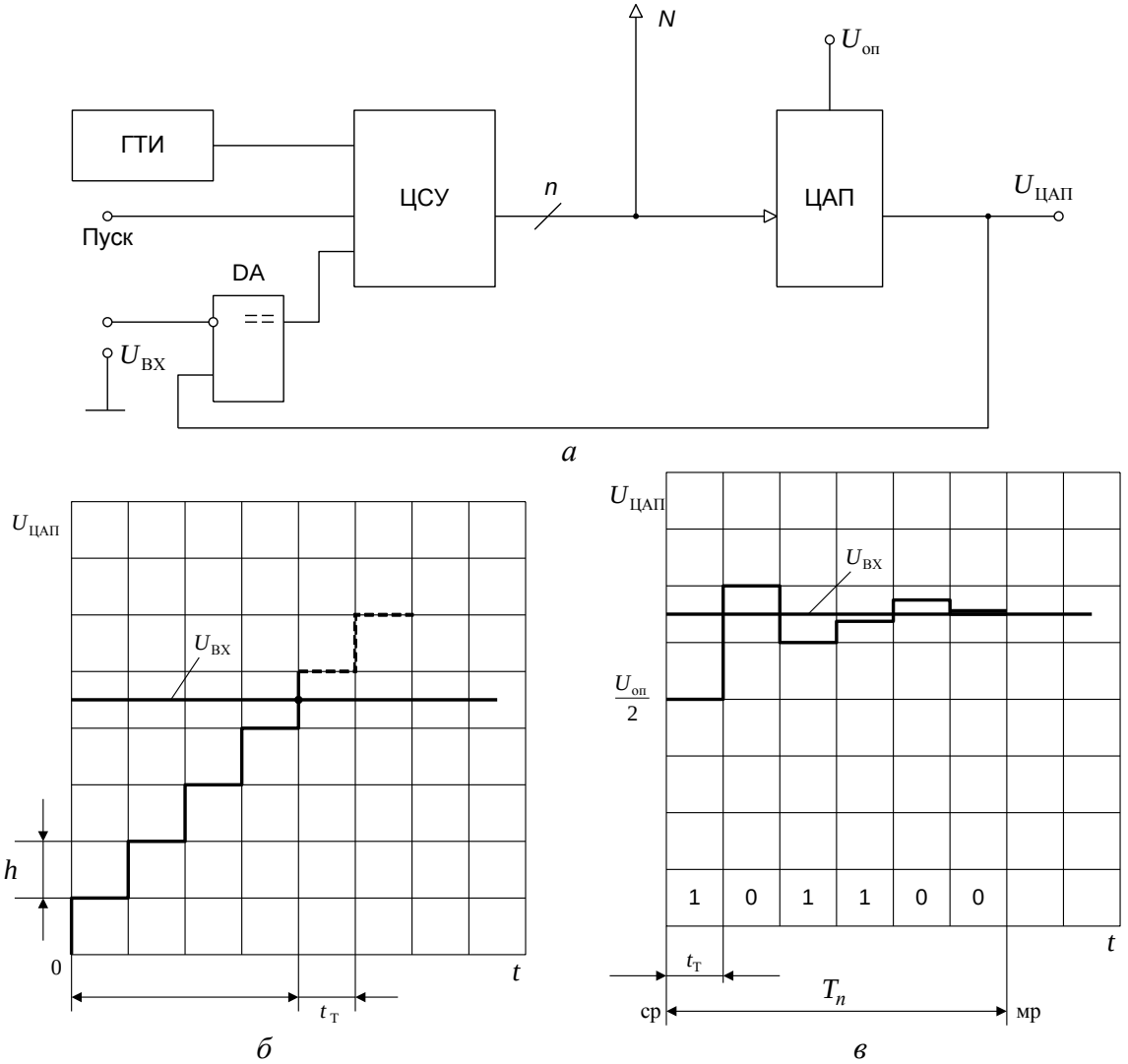


Рисунок 13.4 – Структура последовательных АЦП (*а*), график преобразования с развертывающим уравновешиванием (*б*) и с последовательным приближением (*в*)

В зависимости от способа уравновешивания входного сигнала различают последовательные АЦП трех видов: развертывающего, поразрядного и следящего уравновешивания.

В простейшем АЦП с развертывающим уравновешиванием на вход компаратора поступает нарастающий ступеньками высотой h (шаг квантования) сигнал $U_{ЦАП}$ (рис. 13.4, *б*). Это обеспечивается подачей по команде "Пуск" тактовых импульсов от генератора ГТИ на счетчик, входящий в схему ЦСУ. Нарастающий код с выхода счетчика поступает на ЦАП. В момент достижения выходным напряжением $U_{ЦАП}$ входного напряжения $U_{вх}$, компаратор переключается, счетчик останавливается, цикл измерения заканчивается и на выходе АЦП появится результирующий код N. Время пре-

образования такого АЦП непостоянно и зависит от уровня входного сигнала. Максимальное время преобразования

$$T_n = N_0 t_T\,, \qquad (13.6)$$

где t_T – период тактовых импульсов.

В данной работе исследуется АЦП последовательного приближения, или, иначе, с поразрядным уравновешиванием. Процесс уравновешивания производится в направлении от старших разрядов к младшим.

Структура ЦСУ такого АЦП более сложная и строится на специальном регистре последовательного приближения РПП типа К155ИР17, включающем цепочку триггеров и распределительное устройство, вырабатывающее требуемую для преобразования последовательность импульсных сигналов управления.

Принцип последовательных приближений состоит в формировании цифровым способом компенсирующего напряжения $U_{\text{ЦАП}}$ путем последовательного приближения его к входному напряжению $U_{\text{вх}}$, т. е. измеряемая величина последовательно сравнивается с 1/2, 1/4, 1/8 и т. д. от возможного максимального ее значения, которым является опорное напряжение $U_{\text{оп}}$ ЦАП.

На рис. 13.4, *в* показана диаграмма работы АЦП последовательного приближения. С каждым тактом от РПП на ЦАП поступают последовательно единицы, начиная с единицы первого (старшего) разряда. После подачи сигнала 1 старшего разряда на выходе ЦАП появляется напряжение $\frac{U_{\text{оп}}}{2}$, которое поступает на вход компаратора. Из рис. 13.4, *в* видно, что в данном случае $U_{\text{вх}} > \frac{U_{\text{оп}}}{2}$, поэтому компаратор выдает сигнал 0 и в регистре РПП сигнал 1 старшего разряда сохраняется. В следующем такте от РПП поступает сигнал 1 второго разряда, которому соответствует напряжение $\frac{U_{\text{оп}}}{4}$. Поскольку в старшем разряде сигнал 1 остался, то выходное напряжение ЦАП в этот момент равно сумме $U_{\text{ЦАП}} = \left(\frac{U_{\text{оп}}}{2} + \frac{U_{\text{оп}}}{4}\right)$. Из рис. 13.4, *в* видно, что во втором такте $U_{\text{ЦАП}} > U_{\text{вх}}$, поэтому компаратор выдает сигнал 1 и сбрасывает 1 во втором разряде. В регистре РПП остается 0 во втором разряде. В третьем такте на ЦАП поступает сигнал 1 в третий разряд, соответствующий уровню $\frac{U_{\text{оп}}}{8}$. Из рис. 13.4, *в* видно, что с учетом уровня первого разряда $\frac{U_{\text{оп}}}{2}$ имеем $U_{\text{ЦАП}} < U_{\text{вх}}$, поэтому 1 в третьем разряде остается и т. д.

Длительность цикла преобразования АЦП с поразрядным уравновешиванием постоянна, не зависит от измеряемой величины сигнала и пропорциональна числу разрядов n

$$T_n = n \cdot t_T .$$

Данный тип АЦП имеет высокую точность, достаточное быстродействие и удобен для ввода сигнала в микропроцессор, что обуславливает его широкое применение в различных областях цифровых управляющих систем.

13.2. Описание исследуемых схем и органов управления

На рис. 13.5 приведена упрощенная структурная схема элементов УСО. АЦП последовательного приближения состоит из ЦАП, регистра последовательного приближения РПП, устройства сравнения УС и генератора синхроимпульсов ГИ.

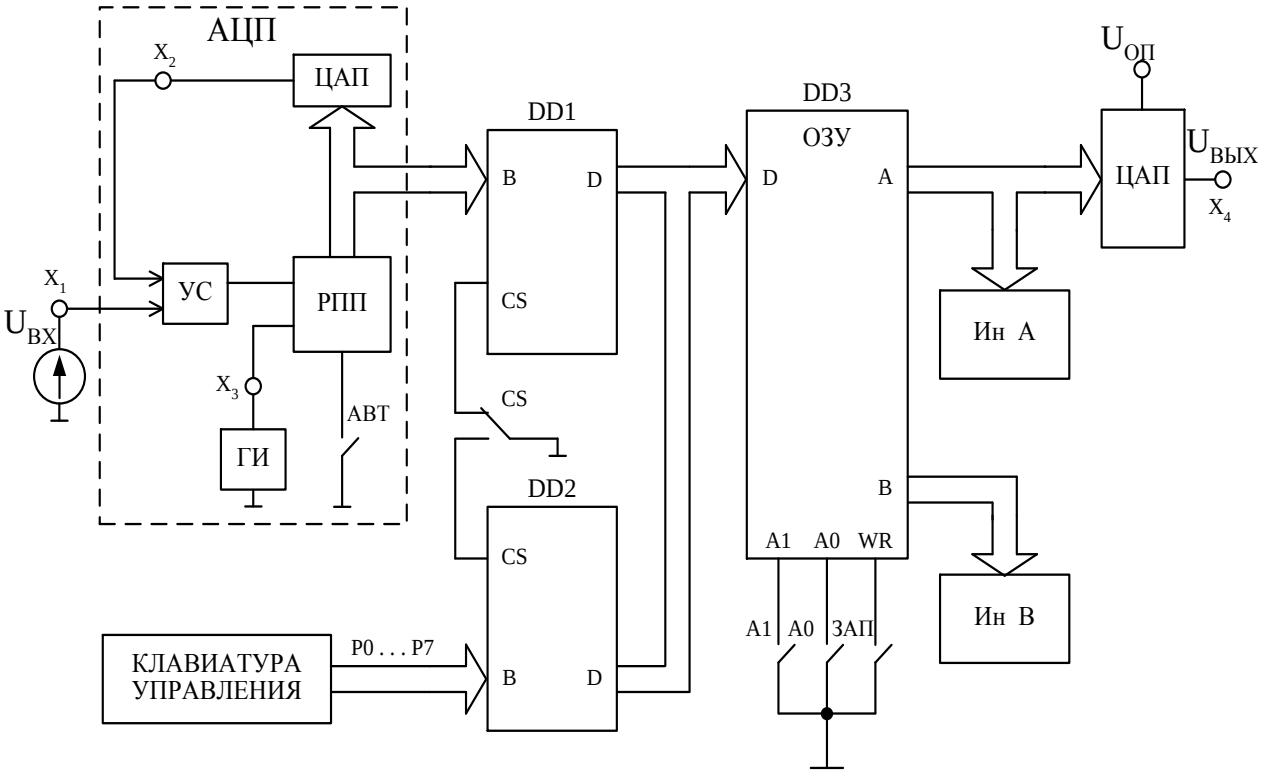


Рисунок 13.4. – Упрощенная структурная схема элементов УСО

Порт параллельного ввода-вывода DD3 (КР580ВВ55А) принимает информацию по 8-разрядной шине на входы D и в зависимости от управляющих сигналов передает ее на выходы каналов A и B. Связь входов D порта с АЦП и клавиатурой осуществляется через буферы DD1 и DD2 (шинные

формирователи К580ВА86). Выход канала А порта DD3 используется для подачи входного кода Р7-Р0 с клавиатуры через буфер DD2 на вход ЦАП и для индикации. Выход канала В порта используется для индикации 8-разрядного кода АЦП, подаваемого через буфер DD1.

Полное описание назначения и описание функционирования исследуемых микросхем порта КР580ВВ55А, буферов К580ВА86, регистра РПП 155ИР17 и ЦАП 572ПА1А приводятся в справочной литературе. В данной работе на накладной панели и на панели управления стенда представлены только те органы управления схем, которые используются при проведении исследований.

В схеме АЦП при нажатой кнопке "АВТ" осуществляется преобразование входного аналогового сигнала в двоичный код. При отжатой кнопке "АВТ" процесс преобразования прерывается, что можно использовать для индикации полученного результата преобразования.

Буферы DD1 и DD2 по своему назначению служат для двунаправленной передачи информации по 8-разрядным шинам входа В и выхода D с возможностью отключения выхода D по сигналу управления.

В данной работе используется режим прямой передачи информации от входа В к выходу D.

Передача информации через буфер разрешается при управляющем сигнале CS = 0 на его входе, который задается кнопкой "CS". При высоком логическом уровне на входе CS данный буфер по своему выходу D отключается и не передает информации.

Порт параллельного ввода-вывода К580ВВ55А имеет на выходе три 8-разрядных канала с регистрами памяти А, В и С. Порт может работать в трех режимах, отличающихся способом передачи информации. В данной работе используются два канала А и В (DD3), и первый режим работы порта – простой ввод-вывод. Информация от входов D порта передается на выходы каналов А и В, каждый из которых независимо друг от друга может использоваться для вывода 8-разрядных данных, которые фиксируются в их регистрах памяти.

Режим работы порта DD3 задается с помощью управляющего слова, которое записывается в специальный регистр управляющего слова (РУС). В данной работе для первого простого режима ввода-вывода по каналам А и В (в соответствии с функционированием микросхемы К580ВВ55А) следует записать 8-разрядное управляющее слово в РУС: 1000XXXX, где X -безразличные состояния разрядов (0 или 1). Для записи управляющего слова в РУС порта, а также для настройки на передачу информации через его выходы А и В используются управляющие входы А1, А0 и WR. На этих входах устанавливаются сигналы логического 0 при нажатии кнопок "А1", "А0" и "ЗАП" соответственно.

На панели управления имеется клавиатура из кнопок "P7-P0", которые позволяют устанавливать 8-разрядные двоичные числа, а также светодиодная индикация состояний каналов А и В порта.

Свечение светодиода соответствует лог. 1 на данном разряде числа.

13.3. Порядок выполнения работы

Перед началом экспериментов следует внимательно изучить описание органов управления по подразделу 13.2. Подготовить стенд к работе в соответствии с указаниями данной инструкции. Установить на стенд накладную панель "13". Нажать кнопку "13" переключателя "Номер работы". Включить измерительные приборы и стенд.

13.3.1. Исследование передачи данных через порт параллельного ввода-вывода (DD3)

Информация в порт DD3 подается от кнопок "P7-P0" через буфер DD2.

13.3.1.1. Записать в РУС порта управляющее слово через буфер DD2. Для этого следует нажать кнопку "CS" и установить на управляющих входах сигналы A0=1 и A1=1, нажав кнопки "A0" и "A1". С помощью кнопок "P7-PO" установить управляющее слово 1000XXXX, где X – безразличные состояния. Затем нажать кнопку "Зап", зафиксировав состояние РУС, которое сохраняется в течение всей работы схемы.

ПРИМЕЧАНИЕ: при ошибке в записи управляющего слова следует выключить и снова включить питание стенда и вновь произвести запись слова в РУС.

Настроить порт на передачу информации через канал А. Для этого установить на управляющих входах сигналы A0 = 0 и A1 = 0 (кнопки "A0" и "A1" отжаты). Установить на кнопках "P7-P0" заданное 8-разрядное слово и, нажав кнопку "ЗАП", зафиксировать состояние индикаторов «Ин А» (см. на панели управления ША(А)).

Настроить порт на передачу информации через канал В. Для этого установить на управляющих входах порта сигналы A0 = 1, A1 = 0. Не меняя установленное 8-разрядное слово в предыдущем пункте, нажать кнопку "ЗАП" и зафиксировать состояние индикаторов «Ин В» (см. на панели управления ША(В)).

13.3.2. Исследование ЦАП

В данном пункте исследуется микросхема ЦАП широкого применения К572ПА1А. Входное 8-разрядное слово подается на вход ЦАП с клавиатуры кнопок "Р7-Р0" через буфер DD2 и порт DD3 по каналу А.

13.3.2.3. Настроить порт DD3 на передачу данных через канал А, установив на его управляющих входах А0=0 и А1=0 (кнопки "А0" и "А1" отжаты). Настроить буфер DD2 на передачу данных от клавиатуры, установив на управляющем входе CS=0 (нажать кнопку "CS").

13.3.2.2. Снять характеристику преобразования ЦАП $U_{вых} = f(N)$. Выходной сигнал фиксируется цифровым вольтметром на гнезде Х4. Входной 8 - разрядный код изменять кнопками "Р7-Р0" от 00000000 до 11111111, увеличивая на 1 каждый старший по порядку разряд в слове. После каждой установки кода нажимать кнопку "ЗАП" и фиксировать состояние слова по индикаторам "ША(А)", а также показания цифрового вольтметра. Данные измерений занести в табл. 13.1.

Таблица 13.1

Входной код N	N_{10}	$U_{вых}$, В
00000000		
00000001		
00000011		
00000111		

13.3.2.3. Измерить минимальное приращение выходного напряжения ΔU, соответствующее изменению входного кода на единицу младшего разряда. Измерения произвести для трех значений исходных кодов, например 00001110, 00011110 и 01111110. Изменение исходного кода производить нажатием кнопки младшего разряда "Р0". Фиксировать выходное напряжение для исходных кодов и установленных кодов на гнезде Х4, а так же фиксировать состояние слова по индикаторам «ША(А)». Использовать указания пп. 13.3.2.2.

13.3.3. Исследование АЦП

В данном пункте исследуется задача передачи информации с выхода АЦП по 8-разрядной шине через буфер DD1, который далее пересылает ее в порт DD3 на выход канала В для индикации.

13.3.3.1. Снять осциллограммы цикла преобразования АЦП, используя коммутатор стенда. Соединить проводниками гнезда "Y1(I)" и

"X2"(ЦАП), "У3(П)" и X3(ГИ). Нажать кнопку "Вкл" коммутатора для наблюдения двух процессов. Нажать кнопку "АВТ", установив АЦП в режим преобразования аналогового сигнала в цифровой код. Изменяя сигнал $U_{вх}$ (гнездо X1), наблюдать осциллограммы на выходе ЦАП (X2). Снять осциллограммы выхода ЦАП и ГИ для произвольного значения $U_{вх}$. Определить частоту тактовых импульсов $f_Т$ и длительность цикла преобразования на выходе ЦАП.

13.3.3.2. Снять характеристику преобразования АЦП $N = f(U_{вх})$, где N – выходной двоичный 8-разрядный код. Передача информации с выхода АЦП осуществляется через буфер DD1 и порт DD3 на индикаторы канала B. Для этого следует отжать кнопку "CS" и установить на управляющих входах порта A0=1 и A1=0.

Измерения проводятся в следующем порядке. После установки входного сигнала $U_{вх}$ отжать кнопку "АВТ", нажать кнопку "ЗАП" и зафиксировать значение напряжения U_N (X2) и кода по индикаторам "ШД(В)". Последующее измерение начинается при нажатой кнопке "АВТ", переводящей АЦП в режим преобразования. Использовать указания подраздела 13.2. и п. 13.3.1. Данные измерений занести в табл. 13.2.

Таблица 13.2

$U_{вх}$, В	0	1	2	3	5	6
Двоичный код N						
N_{10}						

13.3.3.3. Экспериментально определить максимальное значение $U_{вхmax}$, соответствующее коду в пределах 11111111 - 11111000.

13.4. Обработка результатов и содержание отчета

13.4.1. Вычислить и занести в табл. 13.1. десятичный эквивалент входного 8-разрядного кода ЦАП, который определяется по формуле

$$N_{10} = \sum_{i=0}^{7} a_i 2^i, \qquad (13.7)$$

где a_i – значение 0 или 1 в i – том разряде соответствующего кода.

13.4.2. Построить зависимость $U_{вых} = f(N_{10})$ по табл. 13.1. Определить разрешающую способность h и погрешность линейности $\delta_Л$ для 8-разрядного ЦАП, используя рекомендации подраздела 13.1. Сравнить с данными пп. 13.3.2.3.

13.4.3. Определить длительность цикла преобразования АЦП $T_n = 8/f_{\text{Т}}$ и сравнить с экспериментом по пп. 13.3.3.1.

13.3.4. Определить и занести в табл. 13.2 десятичный эквивалент выходного двоичного кода АЦП, используя формулу (13.7).

13.3.5. Построить зависимость $N_{10} = f(U_{\text{вх}})$ в соответствии с табл. 13.2 и пп. 13.3.3.3. Определить погрешность линейности АЦП по формуле $\delta_л = \frac{\Delta N}{N_0}$, где ΔN наибольшее отклонение ломаной кривой N от прямой, соединяющей крайние точки этой кривой; $N_0 = 2^8$-1.

Отчет о выполненной работе должен содержать: цель работы, принципиальную схему эксперимента, формулы, таблицы и графики, полученные в результате эксперимента, а также осциллограммы в соответствии с заданием по выполнению работы. В отчете следует привести краткий анализ и выводы по результатам эксперимента и расчета.

Вопросы для самопроверки

1. Поясните назначение буферов и порта параллельного ввода-вывода в составе УСО.
2. Поясните, как в данной работе задается режим работы порта и передача данных через него?
3. Поясните принцип работы ЦАП К572ПА1.
4. Поясните особенности резисторной матрицы типа R-2R.
5. Опишите основные параметры ЦАП.
6. Опишите основные способы преобразования напряжения в цифровой код и сравните их по быстродействию.
7. Поясните принцип действия АЦП последовательного приближения.
8. От каких факторов зависит точность преобразования последовательных АЦП?

ЛАБОРАТОРНАЯ РАБОТА № 14

ЭЛЕМЕНТЫ ПОСТРОЕНИЯ МИКРОПРОЦЕССОРНЫХ СИСТЕМ

Цель работы – изучение структуры и принципа работы микропроцессорной системы на базе микропроцессора КР580ВМ80А; снятие осциллограмм различных машинных циклов и реализация программ на языке Ассемблер.

14.1. Основные положения

Микропроцессор (МП) – это устройство, которое осуществляет прием, обработку и выдачу информации. Конструктивно МП содержит одну или несколько интегральных схем и выполняет действия по программе, записанной в памяти.

Микропроцессорная система (МПС) – вычислительная, контрольно-измерительная или управляющая система, в которой основным устройством обработки информации является МП.

В основу построения МПС положено три принципа: магистральности, модульности и микропроцессорного управления.

Принцип магистральности определяет характер связей между функциональными блоками МПС – все блоки соединяются с одной системной шиной.

Принцип модульности состоит в том, что система строится на основе ограниченного количества типов конструктивно и функционально завершенных модулей.

Основным элементом микропроцессорной системы является ИМС центрального процессорного элемента (КР580ВМ80А), представляющая собой однокристальный 8-разрядный микропроцессор с фиксированной системой команд и внешних магистралей. Микропроцессорные системы, построенные на этом микропроцессоре, в основе имеют типовую структуру формирования трех магистралей: 16-разрядной однонаправленной магистрали адреса – шины адреса (ША), 8-разрядной двунаправленной магистрали данных – шины данных (ШД), магистрали управления – шины управления (ШУ). Создание МПС различного назначения связано с подключением различных внешних устройств к этим магистралям. В качестве внешних устройств могут использоваться универсальные устройства ввода-вывода (УВВ) информации, запоминающее устройство (ОЗУ, ПЗУ, ППЗУ), клавиатура, дисплей и т.д.

14.1.1. Принципы построения микропроцессорных систем на основе микропроцессорного комплекта серии КР580

Принцип микропроцессорного управления состоит в возможности выполнения элементарных операций. МП осуществляет обработку данных и управляет всеми остальными блоками МПС.

Обобщенная структурная схема МПС показана на рис. 14.1.

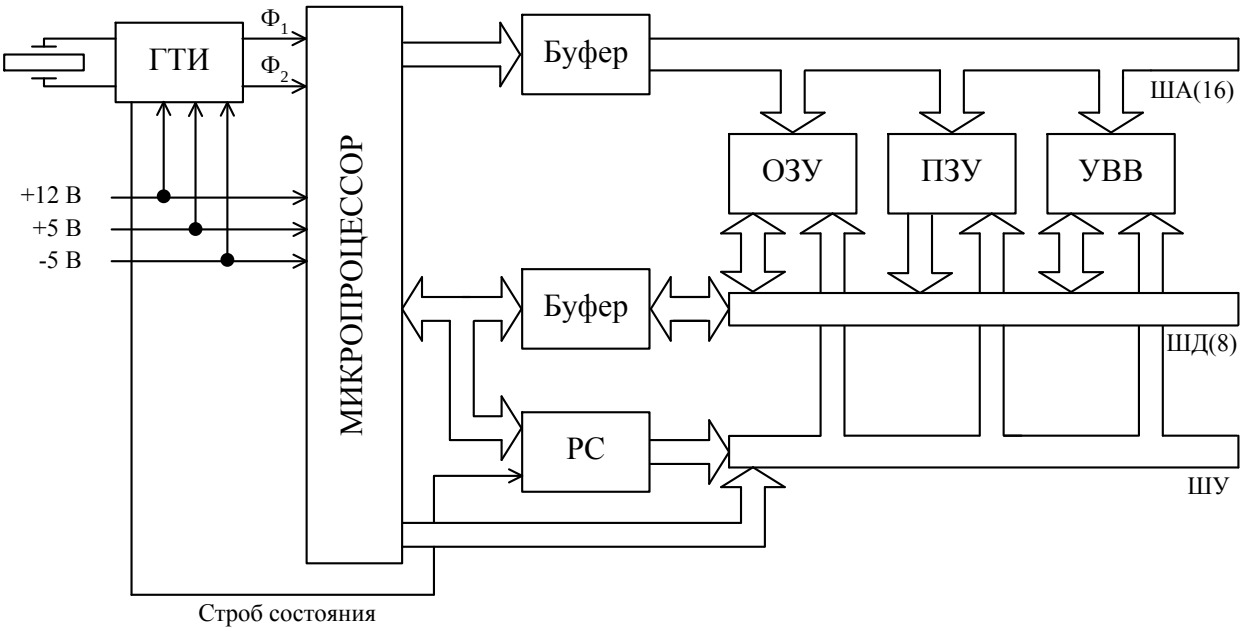


Рисунок 14.1 - Обобщенная структурная схема МПС

Генератор тактовых импульсов (ГТИ) формирует две последовательности импульсов Ф1 и Ф2, необходимые для тактирования работы микропроцессора. Импульсы двух последовательностей не должны перекрываться во времени и имеют амплитуду 12 В. Частота тактовых импульсов равна 2 МГц.

Шина данных (ШД) – двунаправленная 8-разрядная шина. Восемь выводов Д0-Д7 из корпуса МП, подключаемых к шине данных, могут выполнять функции и входных и выходных выводов.

Шина адреса (ША) передает информацию только в одном направлении от МП к устройствам памяти (ОЗУ и ПЗУ) и устройствам ввода-вывода (УВВ). Эта шина состоит из 16 линий, подключаемых к выводам А0-А15 МП. По ней может быть передано 2^{16}= 65536 различных адресов.

Шина управления (ШУ) служит для передачи сигналов, обусловливающих взаимодействие, синхронизацию работы всех блоков системы и внутренних узлов МП. Одна часть линий, шины управления служит для пе-

редачи сигналов, выходящих из МП, а по другой части линий передаются сигналы к МП.

Информация, выдаваемая МП на ША и ШД, может предназначаться большому числу различных устройств подключенным к этим шинам (ОЗУ, ПЗУ, УВВ). Для увеличения нагрузочной способности выходов МП в схеме используются буферы или шинные формирователи.

УВВ подсоединены к системной шине через интерфейсы ввода-вывода. ПЗУ и ОЗУ составляют блок памяти, который предназначен для хранения информации в виде двоичных чисел: ПЗУ – для хранения программ управления, таблиц; ОЗУ – для хранения промежуточных вычислений.

Общий принцип функционирования микропроцессорной системы заключается в следующем. Из микропроцессора в ША выдается адрес следующей команды. Считанная по этому адресу из памяти (например, из ПЗУ) команда поступает на ШД и принимается в микропроцессор, где она исполняется. В программном счетчике (PC) микропроцессора формируется адрес следующей команды. После исполнения данной команды на ША поступает адрес следующей команды и т.д. При исполнении команды могут потребоваться дополнительные обращения к памяти для вызова в микропроцессор дополнительных байтов команды (в случае двух-, трех-байтовых команд), операндов или для записи в память числа, выдаваемого из микропроцессора.

Для аппаратной реализации временных задержек, формирования сигналов требуемой частоты и скважности в состав МПС могут быть включены программируемые таймеры, если их нет в составе МПС или их число недостаточно.

Существует три способа управления обменом данными:

1. Программный обмен.

Различают простой программный обмен и программный обмен по стробу готовности. По простому программному обмену считается, что УВВ в любой момент времени готов к обмену по командам IN и OUT. По программному обмену по стробу готовности УВВ оповещает о своей готовности до обмена стробом. На чтение статусной информации и ее анализ МП тратит несколько циклов работы, что приводит к непродуктивным потерям времени. Недостатками программного обмена по стробу готовности является то, что данный способ обмена информации не позволяет внешним устройствам инициализировать обмен. Достоинство программного обмена состоит в простоте реализации, а также в том, что нет необходимости в дополнительных аппаратных устройствах. Программный обмен используется для обмена с УВВ, производительность которых меньше, чем производительность МП.

2. Обмен по прерыванию.

Данный способ обмена инициируется УВВ и осуществляется под управлением МП. В этом случае сигнал готовности к обмену используется как запрос на прерывание и поступает к программируемый контроллер прерываний (ПКП).

Ввод или вывод информации осуществляется по подпрограмме обработки запроса прерывания (см.рис. 14.2). Обмен по прерыванию имеет то преимущество по сравнению с программным обменом, что здесь не требуется времени для опроса состояния готовности УВВ к обмену информацией.

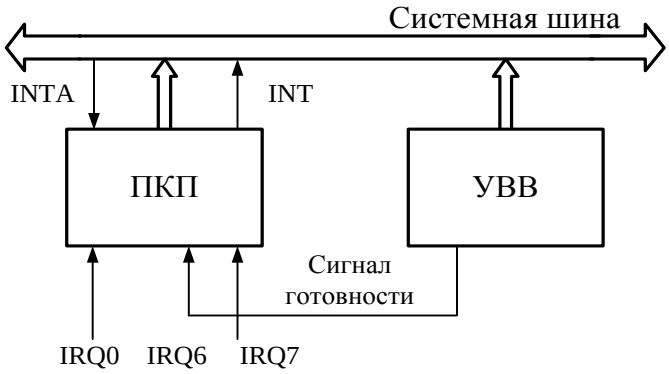


Рисунок 14.2 - Схема обмена по прерыванию

3. Обмен в режиме прямого доступа к памяти.

Этот способ обмена осуществляется под управлением контроллера прямого доступа к памяти (КПДП) без участия МП.

При необходимости обмена между УВВ и памятью не требуется пересылка данных через МП. Данные с помощью КПДП пересылаются непосредственно из УВВ в память или наоборот. Прямой доступ к памяти при выполнении операций ввода-вывода позволяет значительно увеличить скорость передачи данных и повысить эффективность использования устройств МПС. Быстродействие обмена в режиме ПДП – наивысшее.

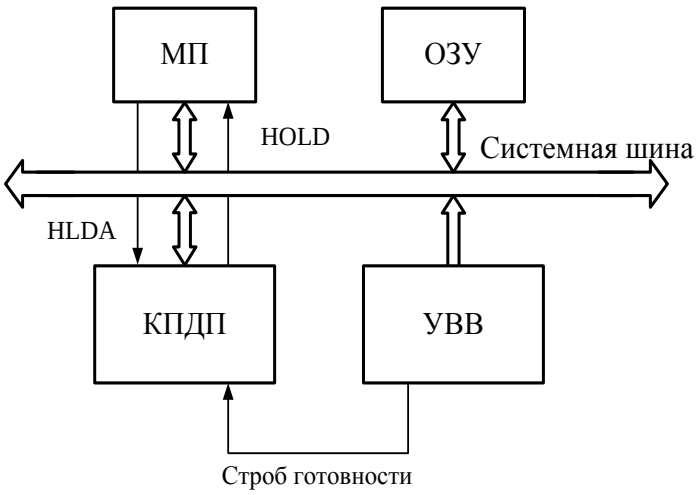


Рисунок 14.3 - Схема в режиме прямого доступа к памяти

Ввод-вывод информации по прерываниям осуществляется с внешними устройствами малого быстродействия (клавиатура, печатающие устройства), а прямой доступ к памяти - с быстродействующими устройствами.

14.1.1. Структура однокристального МП КР580ВМ80А

Центральный процессорный элемент КР580ИК80А представляет собой 8-разрядную программируемую универсальную БИС, способную считывать информацию из внешних устройств и памяти, производить над ней арифметические и логические операции, анализировать результаты вычислений и записывать данные в память или передавать их на внешние устройства. Выполнение всех действий в микропроцессоре осуществляется в соответствии с фиксированной системой команд. Недостатком этого микропроцессора является отсутствие возможности аппаратного наращивания разрядности обрабатываемых данных.

Структура БИС КР580ИК80А (рис. 14.4) содержит следующие элементы:

ALU – 8-разрядное арифметико-логическое устройство;

RS – регистр признаков, фиксирующий признаки, вырабатываемые ALU в процессе выполнения команд;

A – аккумулятор;

RGa – регистр аккумулятора;

RGb – регистр временного хранения операндов;

DAA – десятичный корректор, выполняющий перевод информации из двоичной в двоично-десятичную форму;

IR – регистр команд, предназначенный для хранения первого байта команды, содержащего код операции;

DCU – дешифратор команд.

Блок регистров для приема, выдачи и хранения информации в процессе выполнения программ, содержит:

PC – программный счетчик;

SP – указатель стека;

RGA – регистр адреса;

W, Z – вспомогательные регистры;

B, C, D, E, H, L – регистры общего назначения;

MUX – двунаправленный мультиплексор для обмена операндами и результатами операций между ALU и блоком регистров по внутренней шине данных;

CU – схема управления и синхронизации, формирующая последовательности управляющих сигналов для работы ALU и блока регистров;

BA – 16-разрядный буферный регистр адреса;

BD – 8-разрядный буферный регистр данных.

Данные в микропроцессоре представляются в виде 8-разрядных (однобайтовых) кодов. Для идентификации отдельных разрядов в байте они номеруются от D0 до D7 и читаются справа налево. При этом нулевой бит

D0 соответствует младшему разряду, а D7 – старшему разряду. Однобайтовый код можно рассматривать как положительное целое число с диапазоном значений от 0 до 255 ли как целое число со знаком в дополнительном коде с диапазоном значений от -128 до +127.

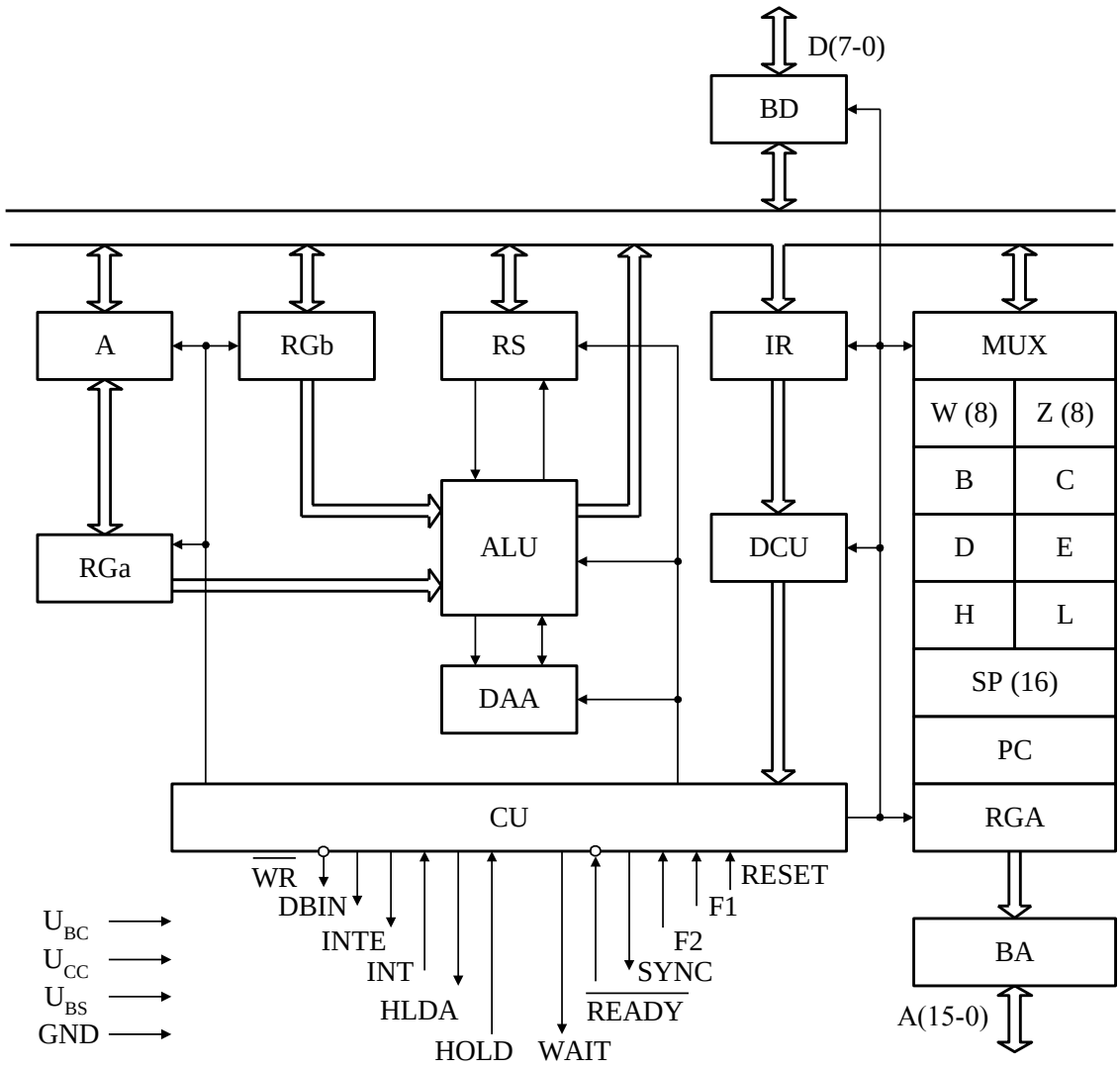


Рисунок 14.4 – Структура БИС КР580ИК80А

Описание выводов БИС КР580ИК80А приведено в табл. 14.1.

Таблица 14.1 - Описание выводов БИС КР580ИК80А

Обозначения выводов	*Номера контактов*	*Назначение выводов*
A(15-0)	25; 26; 27; 29; 30; 31; 32; 33; 34; 35; 1; 40; 37; 38; 39; 35	Трехстабильная 16-разрядная шина адреса
D(7-0)	10; 9; 8; 7; 3; 4; 5; 6	Двунаправленная трехстабильная 8-разрядная шина данных
WR	18	Выход сигнала ″запись″ - напряжение уровня лог. 0 указывает на выдачу байта информации на шину D(7-0) для записи в ВУ или УВВ
DBIN	17	Выход сигнала ″прием″ - напряжение уровня лог. 1 указывает на прием с шины D(7-0) байта информации, выданного ВУ или УВВ
INTE	16	Выход сигнала ″разрешение прерывания″
INT	14	Вход сигнала ″запрос на прерывание″
HLDA	21	Выход сигнала ″подтверждение захвата″ – напряжение уровня лог. 1 указывает на перевод шин адреса и данных МП в высокоимпедансное состояние
HOLD	13	Вход сигнала ″захват″ - напряжение уровня лог. 1 указывает на запрос другими устройствами системы на управление шинами системы
WAIT	24	Выход сигнала ″ожидание″ - напряжение уровня лог. 1 указывает на состояние ожидания МП
READY	23	Вход сигнала ″готовность″ - напряжение уровня лог. 1 указывает на готовность данных на шине D(7-0) к вводу в МП или на готовность внешних устройств к приему информации, служит для синхронизации микропроцессора с ЗУ или УВВ
SYNC	19	Выход сигнала ″синхро″ - напряжение уровня лог. 1 идентифицирует начало каждого машинного цикла
CLK1	22	Вход фазы 1
CLK2	15	Вход фазы 2
RESET	12	Вход установки 0 – установка счетчика команд в нуль, сброс триггеров разрешения прерывания и захвата шин
U_{BC}	28	Напряжение питания (+12 В)
U_{CC}	20	Напряжение питания (+5 В)
U_{BS}	11	Напряжение питания (-5 В)
GND	2	Напряжение питания (0 В)

14.1.2. Принцип работы микропроцессора

Период синхросигналов Ф1 или Ф2 называется *машинным тактом* (Т). Длительность машинного такта Т может быть установлена произвольно в диапазоне от 0,5 до 2 мкс. *Машинный цикл* (М) – время, требуемое на извлечения 1 байта информации из памяти или выполнения команды, определяемой одним машинным словом. Машинный цикл может состоять из 3-5 машинных тактов. Время выполнения команды – время получения, декодирования и выполнения команды. В зависимости от вида команды это время может состоять из 1-5машинных циклов.

В течение времени выполнения команды – машинных циклов, МП может выполнять такие действия: извлечение кода команды; чтение данных из памяти; запись данных в память; извлечение из стека; запись данных в стек; ввод данных из внешнего устройства; запись данных во внешнее устройства; цикл обслуживания прерывания; останов.

В первом такте каждого машинного цикла МП указывает тип выполняемого цикла с помощью 8-разрядного *слово-состояния* (СС), выдаваемое на ШД. Первым машинным циклом при выполнении любой команды всегда является цикл M_1 (см. рис. 14.5).

В такте T_1 содержимое счетчика команд выдается на шину адреса, адрес принимается памятью, где начинается процесс чтения байта команды из указанной ячейки. В такте T_2 проверяется наличие сигнала (уровня лог. 1) на входе «Готовность», который поступает из памяти или УВВ и зависит от быстродействия этих устройств. Этот сигнал подается на вход МП через интервал времени, достаточный для завершения процесса чтения из памяти. Если на входе сигнал отсутствует (действует уровень лог. 0), то МП устанавливается в режим ожидания, в котором каждый следующий такт рассматривается как такт T_2 до тех пор, пока не появится сигнал на входе «Готовность». С приходом этого сигнала МП выходит из режима ожидания, переходя в такт T_3. В этом такте выданный из памяти байт команды с ШД принимается в МП, где он помещается в регистр команд. В такте T_4 анализируется принятый байт команды и выясняется, нужны ли дополнительные обращения к оперативной памяти. Если дополнительные операции не требуются, то в этом же такте либо с использованием дополнительного такта T_5 выполняется предусматриваемая командой операция.

Если необходимы дополнительные обращения к оперативной памяти, то после такта T_4 цикл M_1 завершается и происходит переход к циклу M_2. Если команда однобайтная, но в операции должен участвовать операнд, хранящийся в оперативной памяти, то в цикле M_2 происходят следующие процессы: в такте T_1 выдается адрес ячейки памяти, в такте T_2 проверяется наличие сигнала «Готовность». С появлением этого сигнала происходит переход к такту T_3, в котором выданное из памяти число с шины данных при-

нимается в процессор, и в этом же такте выполняется операция, предусматриваемая командой.

При исполнении большинства команд в случаях, когда происходят дополнительные обращения к памяти, первый цикл M_1 содержит четыре такта, в каждом следующем цикле содержится три такта и происходит одно дополнительное обращение к памяти.

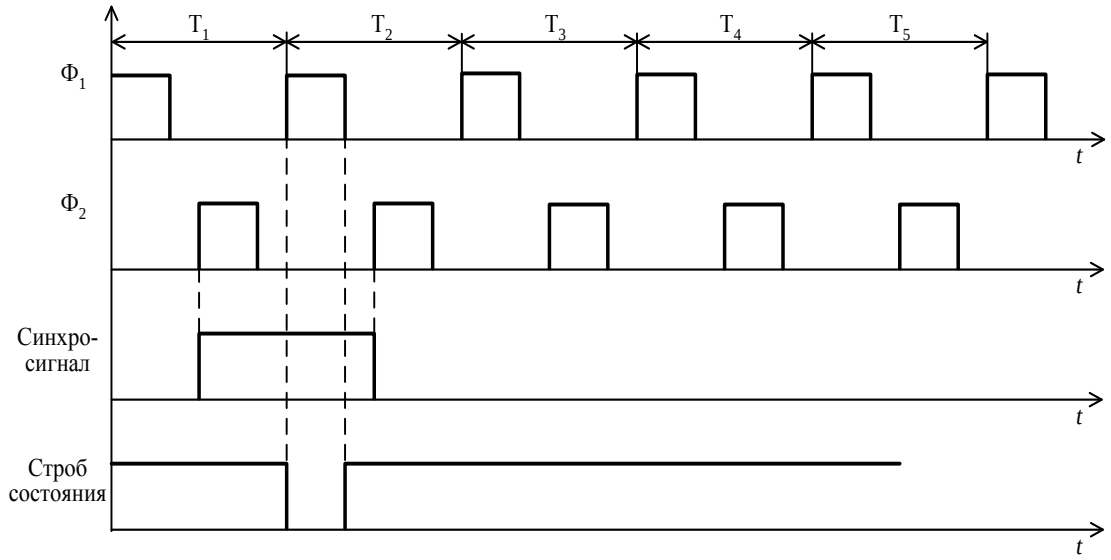


Рисунок 14.5 – Временная диаграмма цикла из пяти тактов

Например, команда ввода данных команда состоит из двух байтов: кода операции и кода адреса порта ввода. В порту содержится байт данных. Цикл команды состоит из трех машинных циклов: первые два из них (M_1 и M_2) относятся к фазе выборки команды, а третий (M_3) - к фазе выполнения команды. Код операции считывается в течение цикла M_1, а в течение цикла M_2 определяется адрес порта. Цикл M_3 отводится на считывание данных из порта и пересылку их в МП.

В каждом цикле в интервале времени от момента положительного фронта импульса последовательности Ф1 в такте T_1 до момента положительного фронта импульса Ф2 в такте T_2 микропроцессор выдает на выход «Синхронизация» уровень лог. 1 и на шину данных информацию о состоянии. ГТИ формирует строб состояния, которым осуществляется прием информации о состоянии микропроцессора с ШД в регистр состояния.

«Состояние захвата» характеризуется тем, что МП, заканчивая выполнение текущего цикла команды, переводит буферы ШД и буферы ША в третье состояние. При этом МП отключается от внешних шин, предоставляя их в расположение некоторого внешнего устройства, и останавливает работу.

Переход в состояние захвата происходит следующим образом. От внешнего устройства поступает сигнал уровня лог. 1 на вход «Запрос захвата». Этот сигнал при отрицательном фронте импульса Ф2 такта T_2 принимается в триггер захвата управляющего устройства. Управляющее устройство заканчивает выполнение текущего цикла, переходит в состояние захвата и подтверждает это выдачей сигнала на выходе «Подтверждение захвата». Сигнал на выходе «Подтверждение захвата» выдается при положительном фронте импульса Ф1 в такте Т3, если текущий цикл не является циклом записи; в противном случае этот сигнал выдается при положительном фронте импульса Ф1 такта, следующего за тактом Т3.

После окончания действия сигнала «Захват» (при переходе от уровня лог. 1 к уровню лог. 0) МП начинает выполнение следующего цикла с места, где было приостановлено исполнение программы.

14.1.3. Основы программирования

В МПС используется программирование на языке Ассемблер. Ассемблером называется и язык программирования в мнемокодах команд, и специальная программа-транслятор, которая переводит мнемокоды в машинные коды. Эти коды считываются микропроцессором из памяти программ, дешифрируются и выполняются.

Программа на языке Ассемблер содержит два типа выражений:

- команды, которые транслируются в машинные коды;
- директивы, которые управляют ходом трансляции.

Для управления процессом выполнения программы используется слово-состояние программы. Старший байт слово-состояния представляет содержимое аккумулятора, а младший – содержит флаги условий регистра признаков (RS), определяемые результатом выполнения арифметических и логических операций (рисунок 14.5).

S	Z	×	AC	×	P	×	CY

Рисунок 14.5 – Регистр признаков

Установка флагов производится при выполнении следующих условий:

- флаг знака S=1, если знаковый бит результата операции равен 1, иначе сбрасывается;
- флаг нуля Z=1, если результат операции равен 0, в противном случае сбрасывается;

- флаг дополнительного переноса AC=1 при наличии переноса из третьего разряда в четвертый, иначе сбрасывается;
- флаг четности P=1, если результат содержит четное число единиц, иначе сбрасывается;
- флаг переноса CY=1 при наличии переноса (при арифметическом сложении) или заема (при вычитании) из старшего разряда результата, иначе сбрасывается.
- X – данный бит может принимать безразличное значение (0 или 1).

В микропроцессоре возможны следующие способы адресации данных:

- прямая;
- регистровая;
- косвенная регистровая;
- непосредственная;
- стековая.

По функциональному признаку выделяют пять групп команд МП:

- передачи данных из регистра в регистр или память и из памяти в регистр;
- арифметические команды (сложение, вычитание, инкремент, декремент);
- логические команды (И, ИЛИ, исключающее ИЛИ, сравнивание, сдвиг, инвертирование);
- передачи управления и обработки подпрограмм;
- ввода/вывода и управления состоянием процессора.

Всего система команд микропроцессора КР580ИК80А содержит 78 команд, включающих 111 операций (см. Приложение Б).

14.2. Описание схем эксперимента

На рисунке 14.6 изображена упрощенная схема микропроцессорной системы минимальной конфигурации, содержащая микропроцессор МП, оперативное запоминающее устройство ОЗУ объемом 256 8-разрядных слов, генератор тактовых импульсов ГТИ и устройство управления, включающее схему прямого доступа к памяти (ПДП) от клавиатуры управления. Для снятия циклограмм обмена в работе используются гнезда D0-D7 шины данных ШД, A0-A7 шины адреса ША, кнопки «ЧТН», «ЗАП», «ГОТ», а также светодиодные индикаторы состояния микропроцессора «ЧТН», «ЗАП», «ГОТ» и «ПДП».

Панель управления содержит клавиатуру из восьми кнопок «P0 – P7» для ввода кода адреса и кода данных, светодиодную индикацию шины адреса ША и шины данных ШД, а также девять кнопок для задания команд.

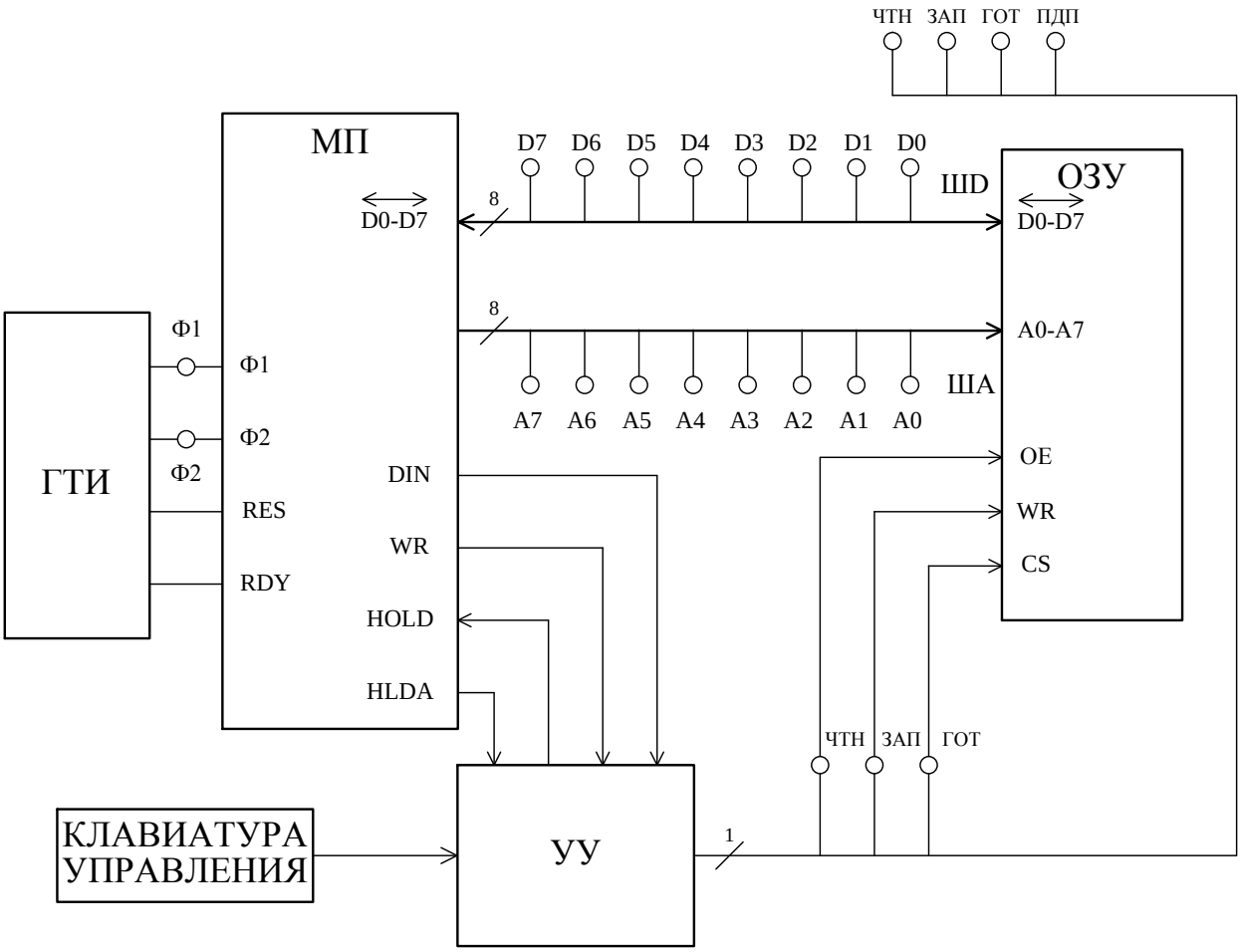


Рисунок 14.6 – Схема микропроцессорной системы

14.3. Работа с органами управления стенда

14.3.1. Ввод программы

Для осциллографирования циклограмм обмена микропроцессора и выполнения программ необходимо ввести текст программы в машинных кодах в память микропроцессорной системы. Ввод осуществляется в режиме прямого доступа к памяти. Для этого перед включением питания необходимо нажать кнопку «ПДП». После включения питания необходимо при отжатых кнопках «Р0-Р7» нажать кнопку «АДР». При этом индикаторы ША должны быть погашены, что соответствует нулевому коду адреса, с которого начинается ввод программы. Ввод производится в шестнадцатиричном коде с кнопок «Р0-Р7». При этом шестнадцатиричная цифра набирается с помощью четырех кнопок с ее двоичным эквивалентом. Нажатое состояния кнопок «Р0-Р7» соответствует 1, отжатое – 0.

Разряды 0-3 двоичного числа составляют младшую тетраду (кнопки «Р0-Р3»), соответствующую младшей шестнадцатиричной цифре, разряды

4-7 (кнопки «Р4-Р7») – старшую тетраду, т.е. старшую шестнадцатиричную цифру.

Команды микропроцессора КР580ВМ80А, представленные в Приложении В, даны в двоичном и шестнадцатиричном кодах. Следует иметь в виду, что ввод цифровых данных (констант) должен производится также в 16-ричном коде. Для перевода десятичных чисел в шестнадцатиричные приведена таблица 14.2. Например, для ввода команды HLT – «Останов», двоичный код которой 01110110, а шестнадцатиричный – 76, необходимо нажать кнопки «Р6», «Р5», «Р4», кнопка «Р7» должна быть отжата. Это соответствует старшей цифре 7, затем нажать кнопки «Р2» и «Р1», кнопки «Р3» и «Р0» должны быть отжаты, что соответствует 16-ричной младшей цифре 6.

Таблица 14.2 – Системы счисления

Десятичный код	Двоичный код	Шестнадцатиричный код
0	0000	0
1	0001	1
2	0010	2
3	0011	3
4	0100	4
5	0101	5
6	0110	6
7	0111	7
8	1000	8
9	1001	9
10	1010	A
11	1011	B
12	1100	C
13	1101	D
14	1110	E
15	1111	F

Микропроцессор КР580ВМ80А допускает работу с десятичными числами с использованием команды десятичной коррекции DAA. В этом случае цифровая информация вводится в двоично-десятичном коде, при этом десятичные цифры 0-9 вводятся как их двоичные эквиваленты (см. табл. 14.2).

Если индикаторы ША показывают код адреса, в который необходимо записать набранную на кнопках «Р0-Р7» информацию, следует нажать кнопку «ЗАП», после чего на индикаторах ШД появится записываемый код, а на индикаторах ША код адреса в который будет помещен следующий байт с ШД. Для чтения данных из ячейки с адресом, индицируемым на ин-

дикаторах ША, необходимо нажать кнопку «ЧТН», после чего на индикаторах ШД появится читаемый код данных.

При вводе программы следует нажать кнопки «ИНКР» и «ПДП», затем на кнопках «Р0-Р7» набрать необходимый адрес, в который будет помещаться программа и нажать кнопку «АДР». При этом установленный адрес будет отображен на индикаторах ША. Данное значение будет инкрементироваться (увеличиваться на 1) после каждого нажатия кнопок «ЧТН» или «ЗАП», подготавливая тем самым код адреса для записи следующего слова. При пошаговой записи программы на индикаторах ШД будет отображаться число, записанное в предыдущую ячейку памяти а на индикаторах ША адрес, в который будет помещен следующий код, набранный на кнопках «Р0-Р7»).

14.3.2. Пуск и выполнение программы

Пуск и выполнение программы осуществляется при нажатии кнопки «СБР» (предварительно кнопка «ПДП» должна быть отжата, а кнопка «ЦИКЛ» установлена в необходимое положение). Для выполнения программы в пошаговом режиме следует нажать кнопку «ЦИКЛ». При этом микропроцессор остановится после выполнения одного машинного цикла текущей команды. После этого следует проверить соответствие состояния индикации ША, ШД, сигналов «ЧТН», «ЗАП», «ГОТ» выполняемому циклу. Затем для выполнения следующего цикла необходимо нажать кнопку «ПУСК». Для выполнения программы в автоматическом режиме кнопка «ЦИКЛ» должна быть отжата. Для повторного выполнения программы с нулевого адреса необходимо нажать кнопку «СБР».

14.4. Порядок выполнения работы

14.4.1. Снятие циклограмм обмена микропроцессора

Команды микропроцессора КР580ВМ80А состоят из циклов «Чтение», «Запись». Количество циклов в команде может быть от одного до пяти.

Для снятия циклограмм обмена необходимо нажать кнопку «I-II» и использовать два канала осциллографа, подключенного к гнездам «Y1(I)» и «Y3(II)».

14.4.1.1. В память ввести следующую программу с соответствии с указаниями п.14.3.1 для организации цикла «Чтение» (табл. 14.3).

14.4.1.2. Запустить программу, в соответствии с указаниями п. 14.3.2 при отжатой кнопке «ИНКР». Кнопка «СИНХР» должна быть нажатой. На гнездо «Y1(I)» (канал I осциллографа) подать сигнал «ЧТН». На гнездо «Y3(II)» (канал II) подать поочередно следующие сигналы с гнезд: «Ф1»,

«Ф2», A7-A0, D7-D0, «ГОТ». Все осциллографируемые сигналы (включая «Ф1») свести в циклограмму цикла «Чтение».

Таблица 14.3 – Программа цикла «Чтение»

Адрес	Данные	Комментарии
00	21	Загрузка пары регистров H, L числом 0003
01	03	
02	00	
03	E9	Содержимое (H, L) записать в счетчик команд

14.4.1.3. Ввести в память программу для организации цикла «Запись» в соответствии с указаниями п.14.3.1 (табл. 14.4).

Таблица 14.4 - Программа цикла «Запись»

Адрес	Данные	Комментарии
00	01	Загрузка пары регистров B, C числом 000A
01	0A	
02	00	
03	21	Загрузка пары регистров H, L числом 0008
04	08	
05	00	
06	3E	Запись в аккумулятор числа 71_H
07	71	
08	02	Запись содержимого аккумулятора по адресу 0A
09	E9	Содержимое (H, L) записать в счетчик команд

14.4.1.4. Запустить программу в соответствии с указаниями пункта 14.3.2 при отжатой кнопке «ИНКР» и отжатой кнопке «СИНХР». Осциллографировать аналогично пп.14.4.1.2 и свести в циклограмму цикла «Запись» следующие сигналы: A7-A0, D7-D0, «ЗАП», «ГОТ». При этом на гнездо «Y1(I)» (канал I осциллографа) подать сигнал «ЗАП».

14.4.2. Выполнение программ

14.4.2.1. Программа обнуления массива ОЗУ.

Программа выполняется в соответствии с табл. 14.5.

После ввода программы времени ПДП в соответствии с п. 14.3.1 записать любые ненулевые коды в ячейки с адресами 10-17.

Запустить программу, нажав кнопки «СБР», «ЦИКЛ» и отжав кнопку «ПДП». Контролировать выборку первой команды по индикации кода адреса 00, кода данных 3E, сигнала «ЧТН». Нажимая кнопку «ПУСК», продол-

жить выполнение программы по циклам, контролируя правильность ее выполнения. После перехода с адреса 0D на адрес 07 нажать кнопку «ЦИКЛ» и нажать кнопку «ПУСК». Программа выполнится до конца и остановится. Нажатием кнопки «ПДП» перейти в режим ПДП. Набрать на панели управления код адреса $10_{Н}$, нажать кнопки «АДР», «ЦИКЛ» и «ЧТН». На индикаторах ШД контролировать содержимое ячейки 10. Нажимая кнопку «ЧТН», контролировать содержимое ячеек 10-17. Проверить результаты обнуления в ячейках 10-17. При наличии ошибки повторить ввод программы.

Таблица 14.5 - Программа обнуления массива ОЗУ

Адрес	Данные	Мнемоника	Комментарий
00	3E	MVI A, 00	Запись в аккумулятор числа $00_{Н}$
01	00		
02	21	LXI H, 0010	Загрузка начального адреса массива в регистровую пару H, L
03	10		
04	00		
05	06	MVI B, 05	Загрузка количества ячеек в массиве (организация счетчика)
06	05		
07	77	MOV M,A	Запись нулей в ячейку памяти, адрес которой в паре регистров H, L
08	28	INX H	Инкремент регистровой пары H, L
09	06	DCR B	Декремент счетчика
0A	02	JNZ 0007	Проверка содержимого счетчика на равенство нулю
0B	07		
0C	00		
0D	76	HLT	Останов

14.4.2.2. Вычисление арифметических операций.

Составить программу вычисления одной из арифметических операций по указанию преподавателя:

1. $X = (\frac{A}{2} - B) + D;$ $A = 32_{10} = 20_{Н};$ $B = 10_{10} = 0A_{Н};$ $D = 15_{10} = 0F_{Н}.$
2. $X = (C + B) - 2D;$ $C = 36_{10} = 24_{Н};$ $B = 04_{10} = 04_{Н};$ $D = 11_{10} = 0B_{Н}.$
3. $X = 2B - (C + A);$ $A = 12_{10} = 0C_{Н};$ $B = 11_{10} = 0B_{Н};$ $D = 08_{10} = 08_{Н}.$
4. $X = B - (\frac{C}{2} + A);$ $C = 36_{10} = 24_{Н};$ $B = 04_{10} = 04_{Н};$ $D = 11_{10} = 0B_{Н}.$
5. $X = (\frac{C}{2} + 2A) - D;$ $A = 02_{10} = 02_{Н};$ $B = 10_{10} = 0A_{Н};$ $D = 36_{10} = 24_{Н}.$
6. $X = (E - \frac{D}{2}) + C;$ $E = 33_{10} = 21_{Н};$ $D = 22_{10} = 11_{Н};$ $C = 66_{10} = 42_{Н}.$

Рассмотрим пример вычисления выражения

$$X = 2(A + B) - C,$$

где: $A = 21_{10} = 15_{H}$; $B = 14_{10} = 0E_{H}$; $C = 29_{10} = 1D_{H}$.

Результат записать в ячейку с адресом 10.

Программа выполняется в соответствии с табл. 14.6.

Таблица 14.6 – Программа вычисления арифметического выражения

Адрес	Данные	Мнемоника	Комментарий
00	3E	MVI A, 15	Запись в аккумулятор числа 15_H
01	15		
02	06	MVI B, 0E	Запись в регистр B числа $0E_H$
03	0E		
04	80	ADD B	Сложение содержимого регистров A и B
05	17	RAL	Умножение на 2
06	D6	SUI ID	Вычитание
07	ID		
08	32	LXI H, 0010	Запись результата
09	1D		
0A	00		
0D	76	HLT	Останов

Ввод и отработку программы выполнять аналогично пп.14.4.2.1. Результат контролировать в ячейке 10.

14.4.2.3. Программа пересылки массива.

Программа выполняется в соответствии с табл. 14.7.

После ввода программы в соответствии с п. 14.3.1 записать в режиме ПДП любые ненулевые коды в ячейки 12-17 и обнулить ячейки 20-25.

После выполнения программы контролировать состояние ячеек 20-25. Результат зафиксировать.

Таблица 14.7 - Программа пересылки массива

Адрес	Данные	Мнемоника	Комментарий
1	2	3	4
00	21	LXI H, 0012	Загрузка начального адреса массива в регистровую пару
01	12		
02	00		
03	11	LXI D, 0020	Загрузка нового адреса массива в регистровую пару D, E
04	20		
05	00		

Продолжение табл. 14.7

1	2	3	4
06	06	MVI B, 04	Загрузка счетчика
07	04		
08	7E	MOV M,A	Запись в А числа исходного массива
09	09	STAX D	Запись из аккумулятора в новый массив
0A	0A	INX D	Инкремент регистровой пары D, E
0B	0B	INX H	Инкремент регистровой пары H, L
0C	0C	DCR B	Декремент счетчика
0D	02	JNZ 0008	Проверка содержимого счетчика на равенство нулю
0E	07		
0F	00		
10	76	HLT	Останов

14.5. Обработка результатов эксперимента и оформление отчета

14.5.1. На основании пп. 14.4.1.1 привести циклограмму цикла «Чтение».

14.5.2. На основании пп. 14.4.1.4 привести циклограмму цикла «Запись».

14.5.3. Привести программы обнуления и пересылки массива в соответствии с пп. 14.4.2.1 и пп. 14.4.2.3.

14.5.4. Привести программу вычисления заданной арифметической операции в соответствии с пп. 14.4.2.2.

Отчет о выполненной работе должен содержать: цель работы, схему эксперимента, программы и циклограммы, полученные в результате эксперимента.

Вопросы для самопроверки

1. Назовите принципы построения МПС и охарактеризуйте их.
2. Приведите типовую структуру МПС и поясните назначение функциональных блоков.
3. Приведите сравнительную характеристику видов обмена информации.
4. Какую роль играет регистр признаков микропроцессора?
5. Что собой представляет слово-состояние и как оно формируется?
6. Как формируются системные шины (данных, адреса, управления)?
7. Дайте пояснение выполнения команды загрузки данных.
8. Назовите возможные типы машинных тактов.
9. Назовите основные способы адресации, применяемые в командах.

СПИСОК ЛИТЕРАТУРЫ

1. Горбачев Г.Н., Чаплыгин Е.Е. Промышленная электроника. – М.: Энергоатомиздат, 1998. – 320с.

2. Гусев В.Г., Гусев Ю.М. Электроника. – М.: Высш. шк., 1991. – 610с.

3. Забродин Ю.С. Промышленная электроника М.: Высш. шк., 1982. – 495с.

4. Новиков Ю.В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования. – М.: Мир, 2001. – 379 с.

5. СТВУЗ-ХПИ-3.01-2006 «Текстовые документы в сфере учебного процесса. Общие требования к выполнению».

6. Руденко В.С. та ін. Промислова електроніка. – К.: Либідь, 1993. – 430с.

7. Електроніка та мікросхемотехніка: навчальний посібник для вищих учбових закладів. Андронік Буняк.– Київ – Тернопіль: 2001. – 382 с.

8. Титце У., Шенк К. Полупроводниковая схемотехника: Справ. руководство. пер. с нем. – М.: Мир, 1992. – 512с.

9. Федорков Б.Г., Телец В.А. Микросхемы ЦАП и АЦП: функционирование, параметры, применение. – М.: Энергоатомиздат, 1990. – 320 с.

10. Мікропроцесорна техніка: Підручник / Ю.І. Якименко, Т.О.Терещенко, Є.І. Сокол, В.Я. Жуйков, Ю.С. Петергеря / – Харьков: НТУ «ХПИ», 2003. – 440 с.

11. Методические указания к практическим занятиям и лабораторным работам по дисциплине «Микропроцессорная техника» для студентов специальностей 7.090803 «Электронные системы», 7.090804 «Физическая и биомедицинская электроника» и 7.092501 «Автоматизированное управление технологическими процессами и производствами» / Сост. О.А. Бутова, О.П. Ластовка, Л.В. Фетюхина. – Харьков: НТУ «ХПИ», 2002. – 72 с.

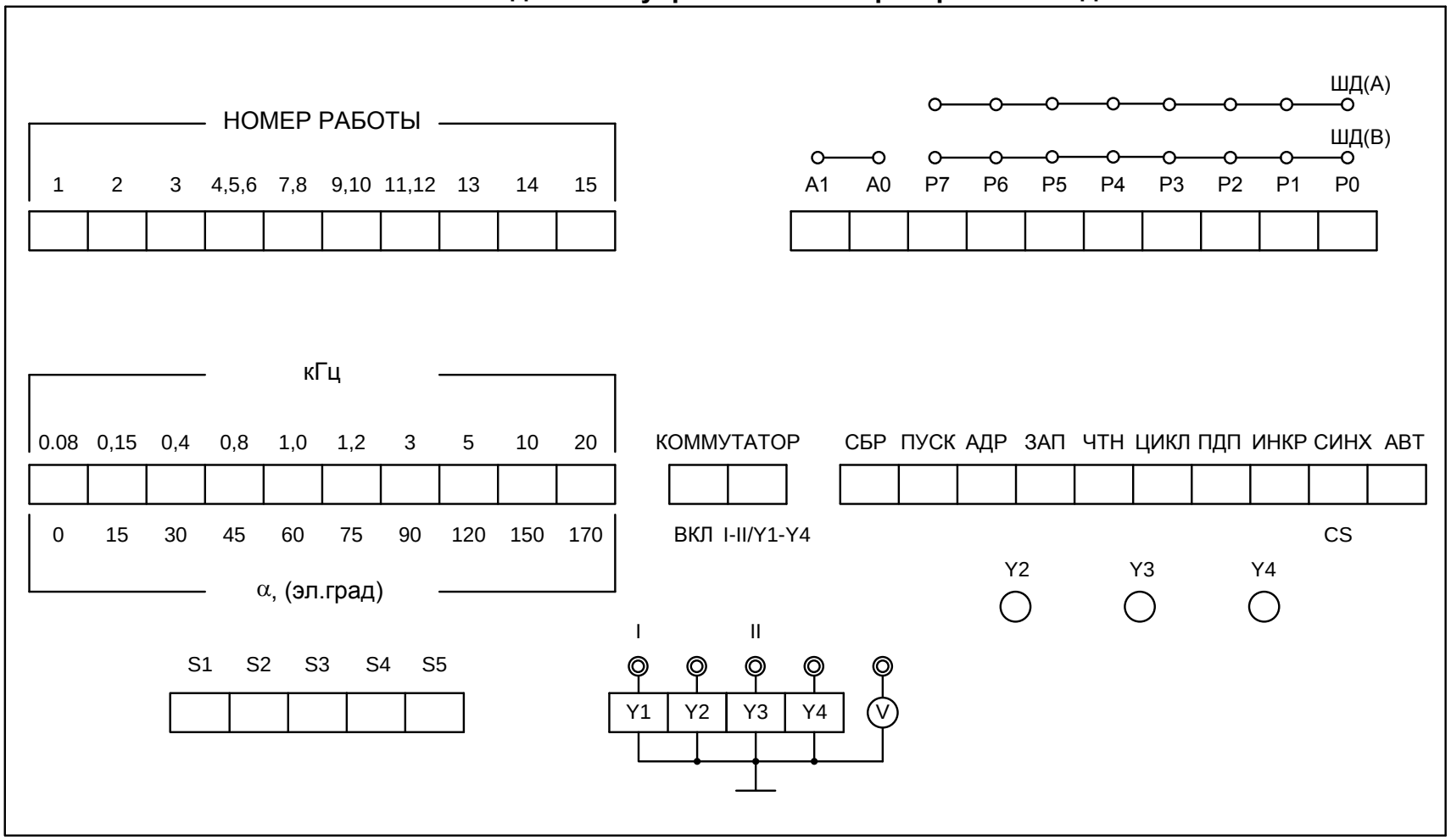
12. Бабич Н.П., Жуков И.А. Компьютерная схемотехника. Методы построения и проектирования: Учеб. пособие. – К.: МК-Пресс, 2004. – 576 с.

13. Угрюмов Е.П. Цифровая схемотехника: Учеб. пособие для вузов. – 2-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2004. – 800 с.

ПРИЛОЖЕНИЯ

ПРИЛОЖЕНИЕ А

Внешний вид панели управления лабораторного стенда



ПРИЛОЖЕНИЕ Б

Соответствие мнемоник команд и их кодов операции микропроцессора КР580ИК80А

H\L	0	1	2	3	4	5	6	7	8	A	B	C	D	E	F	L/H
0	NOP	LXI B,D16	STAX B	INX B	INR B	DCR B	MVI B,D8	RLC	-	LDAX B	DCX B	INR C	DCR C	MVI C,D8	RRC	0
1	-	LXI D,D16	STAX D	INX D	INR D	DCR D	MVI D,D8	RAL	-	LDAX D	DCX D	INR E	DCR E	MVI E,D8	RAR	1
2	-	LXI H,D16	SHLD ADR	INX H	INR H	DCR H	MVI H,D8	DAA	-	LHLD ADR	DCX H	INR L	DCR L	MVI L,D8	CMA	2
3	-	LXI SP,D16	STA ADR	INX SP	INR M	DCR M	MVI M,D8	STC	-	LDA ADR	DCX SP	INR A	DCR A	MVI A,D8	CMC	3
4	MOV B,B	MOV B,C	MOV B,D	MOV B,E	MOV B,H	MOV B,L	MOV B,M	MOV B,A	MOV C,B	MOV C,D	MOV C,E	MOV C,H	MOV C,L	MOV C,M	MOV C,A	4
5	MOV D,B	MOV D,C	MOV D,D	MOV D,E	MOV D,H	MOV D,L	MOV D,M	MOV D,A	MOV E,B	MOV E,D	MOV E,E	MOV E,H	MOV E,L	MOV E,M	MOV E,A	5
6	MOV H,B	MOV H,C	MOV H,D	MOV H,E	MOV H,H	MOV H,L	MOV H,M	MOV H,A	MOV L,B	MOV L,D	MOV L,E	MOV L,H	MOV L,L	MOV L,M	MOV L,A	6
7	MOV M,B	MOV M,C	MOV M,D	MOV M,E	MOV M,H	MOV M,L	HLT	MOV M,A	MOV A,B	MOV A,D	MOV A,E	MOV A,H	MOV A,L	MOV A,M	MOV A,A	7
8	ADD B	ADD C	ADD D	ADD E	ADD H	ADD L	ADD M	ADD A	ADC B	ADC D	ADC E	ADC H	ADC L	ADC M	ADC A	8
9	SUB B	SUB C	SUB D	SUB E	SUB H	SUB L	SUB M	SUB A	SBB B	SBB D	SBB E	SBB H	SBB L	SBB M	SBB A	9
A	ANA B	ANA C	ANA D	ANA E	ANA H	ANA L	ANA M	ANA A	XRA B	XRA D	XRA E	XRA H	XRA L	XRA M	XRA A	A
B	ORA B	ORA C	ORA D	ORA E	ORA H	ORA L	ORA M	ORA A	CMP B	CMP D	CMP E	CMP H	CMP L	CMP M	CMP A	B
C	RNZ	POP B	JNZ ADR	JMP ADR	CNZ ADR	PUSH B	ADI D8	RST 0	RZ	JZ ADR	-	CZ ADR	CALL ADR	ACI D8	RST 1	C
D	RNC	POP D	JNC ADR	OUT N	CNC ADR	PUSH D	SUI D8	RST 2	RC	JC ADR	IN N	CC ADR	-	SBI D8	RST 3	D
E	RPO	POP H	JPO ADR	XTHL	CPO ADR	PUSH H	ANI D8	RST 4	RPE	JPE ADR	XCHG	CPE ADR	-	XRI D8	RST 5	E
F	RP	POP PSW	JP ADR	DI	CP ADR	PUSH PSW	ORI D8	RST 6	RM	JM ADR	EI	CM ADR	-	CPI D8	RST 7	F
H/L	0	1	2	3	4	5	6	7	8	A	B	C	D	E	F	L\H

СОДЕРЖАНИЕ

Введение 3
Описание лабораторного стенда 4
Подготовка стенда к работе 6
Лабораторная работа №9. Логические схемы на интегральных микросхемах 8
Лабораторная работа №10. Дешифратор и мультиплексор 17
Лабораторная работа №11. Триггеры на интегральных микросхемах 23
Лабораторная работа №12. Счетчики и регистры 33
Лабораторная работа №13. Элементы устройств сопряжения с объектом 41
Лабораторная работа №14. Элементы построения микропроцессорных систем 54
Список литературы 72
Приложение А. Внешний вид панели управления лабораторного стенда 73
Приложение Б. Соответствие мнемоник команд и их кодов операции микропроцессора КР580ИК80А 74

Навчальне видання

СОКОЛ Євген Іванович
ЯНДОЛО Віктор Димитрович
САКАРА Юрій Димитрович
КІПЕНСЬКИЙ Андрій Володимирович
БУТОВА Ольга Анатоліївна
КОРОЛЬ Євген Ігорович

ЕЛЕКТРОНІКА ТА МІКРОСХЕМОТЕХНІКА

Лабораторний практикум

Частина 2. Цифрова схемотехніка

Російською мовою

Роботу рекомендував до видання проф. В.Т.Долбня

В авторській редакції

Набір тексту – Н. Золотченко
Художнє оформлення та
комп'ютерна підготовка
оригінал-макету – С. Вініченко

План 2008р., п 5/

Підписано до друку .08. Формат 60×84 1/16. Папір офсетний.
Друк – ризографія. Гарнітура Таймс. Ум. друк. арк. 5,5.
Обл. - вид. арк. 6,1 Тираж 500 прим. Зам. № Ціна договірна. .

Видавничий центр НТУ «ХПІ».
Свідоцтво про державну реєстрацію ДК № 116 від 10.07.2000 р.
61002, м. Харків, вул. Фрунзе, 21

Друкарня НТУ «ХПІ», м. Харків, вул. Фрунзе, 21